

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010664939 **Image available**

WPI Acc No: 1996-161893/199617

Related WPI Acc No: 2000-648741

XRPX Acc No: N96-135599

Surface conduction electron emitting structure for image display such as flat panel CRT for wall television - has electro-conductive thin film with electron emitting region positioned between two electrodes on substrate

Patent Assignee: CANON KK (CANO); HAMAMOTO Y (HAMA-I); TSUKAMOTO T (TSUK-I); YAMAMOTO K (YAMA-I); YAMANOBE M (YAMA-I)

Inventor: HAMAMOTO Y; TSUKAMOTO T; YAMAMOTO K; YAMANOBE M

Number of Countries: 022 Number of Patents: 020

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 703594	A1	19960327	EP 95306708	A	19950922	199617 B
AU 9532824	A	19960404	AU 9532824	A	19950922	199621
JP 8096699	A	19960412	JP 94252730	A	19940922	199625
JP 8102250	A	19960416	JP 94259074	A	19940929	199625
CA 2158886	A	19960323	CA 2158886	A	19950922	199627
JP 8273517	A	19961018	JP 9594168	A	19950329	199701
JP 9092183	A	19970404	JP 95266199	A	19950921	199724
CN 1131337	A	19960918	CN 95117385	A	19950922	199801
US 5847495	A	19981208	US 95532869	A	19950922	199905
AU 9950100	A	19991125	AU 9532824	A	19950922	200006
			AU 9950100	A	19990923	
AU 712966	B	19991118	AU 9532824	A	19950922	200007
CA 2282898	A1	19960323	CA 2158886	A	19950922	200013
			CA 2282898	A	19950922	
KR 220214	B1	19990901	KR 9531317	A	19950922	200104
CA 2158886	C	20010109	CA 2158886	A	19950922	200107
EP 703594	B1	20010221	EP 95306708	A	19950922	200111
			EP 2000201967	A	19950922	
DE 69520126	E	20010329	DE 620126	A	19950922	200125
			EP 95306708	A	19950922	
CN 1282975	A	20010207	CN 95117385	A	19950922	200129
			CN 2000120244	A	19950922	
AU 752053	B	20020905	AU 9950100	A	19990923	200264 N
US 20020132041	A1	20020919	US 95532869	A	19950922	200264
			US 98179833	A	19981028	
CA 2282898	C	20030318	CA 2158886	A	19950922	200325
			CA 2282898	A	19950922	

Priority Applications (No Type Date): JP 95266199 A 19950921; JP 94252730 A 19940922; JP 94259074 A 19940929; JP 9594168 A 19950329

Cited Patents: 04Jnl.Ref; EP 501785; EP 536732; JP 1276528; JP 1276529; JP 2247940; JP 6012997

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes
EP 703594 A1 E 99 H01J-001/30

Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU NL
PT SE

AU 9532824 A H01J-009/02

JP 8096699 A 23 H01J-001/30

JP 8102250 A 24 H01J-009/02

CA 2158886 A H01J-001/30

JP 8273517 A 21 H01J-001/30

JP 9092183	A	23	H01J-031/12	
CN 1131337	A		H01J-031/12	
US 5847495	A		H01J-001/30	
AU 9950100	A		H01J-009/02	Div ex application AU 9532824 Div ex patent AU 712966
AU 712966	B		H01J-009/02	Previous Publ. patent AU 9532824
CA 2282898	A1 E		H01J-009/02	Div ex application CA 2158886
KR 220214	B1		H01J-017/49	
CA 2158886	C E		H01J-001/30	
EP 703594	B1 E		H01J-001/30	Related to application EP 2000201967 Related to patent EP 1037246
Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU NL				
PT SE				
DE 69520126	E		H01J-001/30	Based on patent EP 703594
CN 1282975	A		H01J-009/02	Div ex application CN 95117385
AU 752053	B		H01J-009/02	Div ex patent AU 712966
US 20020132041	A1		B05D-005/12	Previous Publ. patent AU 9950100
CA 2282898	C E		H01J-009/02	Div ex application US 95532869 Div ex application CA 2158886

Abstract (Basic): EP 703594 A

The electron emitting device has an electro-conductive thin film with an electron emitting region positioned between a pair of device electrodes (4 and 5) on a substrate (1). The electron emitting region (2) is formed close to a step portion formed by one of the electrodes and the substrate.

The step portion has a height different from that of a step portion formed by the other device electrode and the substrate. The electron emitting region is formed close to the higher of the step portions. The electroconductive film extends from the top of one of the electrodes to a position between the other electrode and the substrate to cover the substrate the electrodes, it also connects the electrodes.

ADVANTAGE - Emits electrons at sufficiently high efficiency and produces finely defined electron beam. Produces highly defined, clear and bright images with high quality.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102250

(43)Date of publication of application : 16.04.1996

(51)Int.CI.

H01J 9/02

H01J 1/30

H01J 31/12

H01J 31/15

(21)Application number : 06-259074

(71)Applicant : CANON INC

(22)Date of filing : 29.09.1994

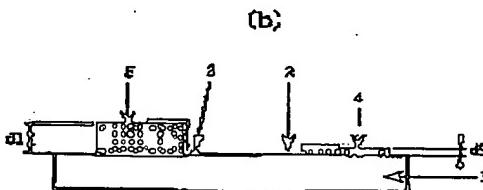
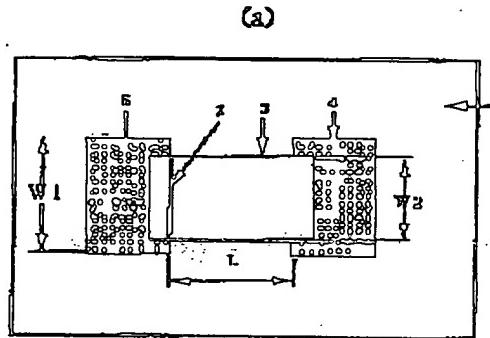
(72)Inventor : YAMAMOTO KEISUKE
YAMANOBE MASATO
HAMAMOTO YASUHIRO
TSUKAMOTO TAKEO

(54) ELECTRON EMISSION ELEMENT, ELECTRON SOURCE, AND IMAGE FORMING APPARATUS USING THEM, AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a manufacturing method of a surface conduction-type electron emission element as an electron beam source with which the size of an image forming apparatus can be made wide and images with high quality can be provided.

CONSTITUTION: Regarding a manufacturing method of a surface conduction-type electron emission element in which an electron emission part 2 is formed in a conductive thin film 3 bridging element electrodes 4, 5 on a substrate 1; the element electrodes 4, 5 are so formed on the substrate 1 as to make the height of the step part of each element electrode be different. After that the manufacturing process involves a process wherein an organometal solution containing component elements for the conductive thin film 3 is sprayed to the substrate 1 through the nozzle while potential being kept different between the substrate 1 and a nozzle. Consequently, even in the case the distance L between element electrodes is so made wide as to match with the level of an exposure technique for a large surface area, electron emission elements with high reproducibility of the shape and the position of the electron emission part and uniform electron emitting properties can be manufactured.



LEGAL STATUS

[Date of request for examination] 24.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2923841

卷之三十一

在這裏，我們可以說，這就是我們的「社會主義」。

卷之三

在於此，故其後人之學，亦復以爲子思之傳也。蓋子思之學，實出於孟子，而孟子之學，又實出於子思也。

中華人民共和國農業部令 第二十一號

the first time in the history of the world, the people of the United States have been compelled to make a choice between two political parties, each of which has a distinct and well-defined platform, and each of which has a distinct and well-defined object in view.

காலத்திலே காலத்திலே காலத்திலே காலத்திலே
காலத்திலே காலத்திலே காலத்திலே காலத்திலே

在於此，故其後人之學，亦復以爲子思之傳也。蓋子思之學，實出於孟子，而孟子之學，又實出於子思者，則非獨我之見也。

在於此，故其後人之學，多以爲子思之傳。蓋子思之學，實出於孟子，而孟子之學，又實出於孔子。故子思之學，實爲孔門之學也。

卷之三十一

10. *Leucosia* *leucostoma* *leucostoma* *leucostoma* *leucostoma* *leucostoma*

'04 02/13 13:51 FAX 03 3213 1550

OKABE TOKYO 2

→ FITZ

4012

Searching PAJ

2/2 ページ

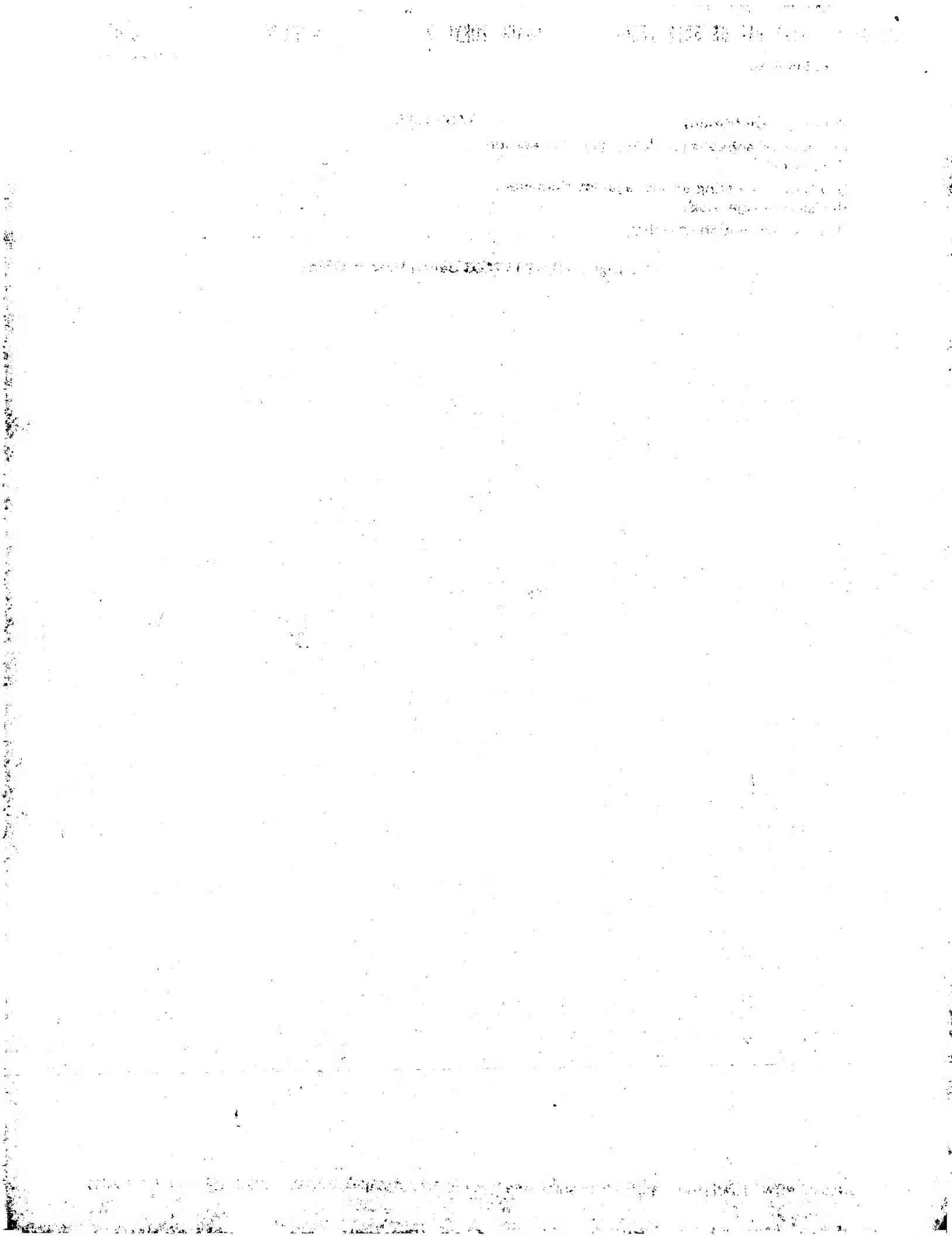
[Date of registration] 07.05.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-102250

(43)公開日 平成8年(1996)4月16日

(51)Int.Cl.⁶
H01J 9/02
1/30
31/12
31/15

識別記号 B
B
Z
B
C

F I

技術表示箇所

審査請求 未請求 請求項の数12 FD (全24頁)

(21)出願番号 特願平6-259074

(22)出願日 平成6年(1994)9月29日

(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 山本 敬介
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 山野辺 正人
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 浜元 康弘
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74)代理人 弁理士 豊田 善雄 (外1名)
最終頁に続く

(54)【発明の名称】電子放出素子、電子源、及びそれを用いた画像形成装置と、それらの製造方法

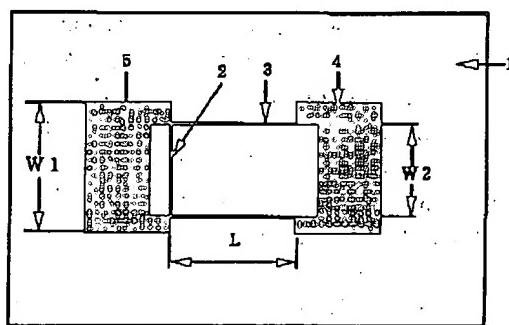
(57)【要約】

【目的】画像形成装置の大面積化、高品位化を実現し得る電子ビーム源としての表面伝導型電子放出素子の製造方法を提供する。

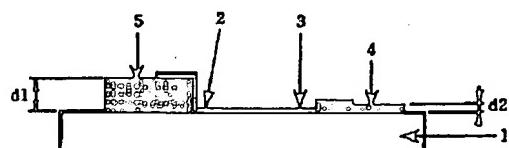
【構成】基板1上に形成した素子電極4、5間に跨がる導電性薄膜3に電子放出部2が設けられた表面伝導型電子放出素子の製造方法において、基板1上に各素子電極部分の段差部の高さが異なるように素子電極4、5を形成した後、基板1とノズルとの間に電位差を与えた状態で、基板1上に導電性薄膜3の構成元素を含む有機金属溶液をノズルより噴霧する工程を有することを特徴とする。

【効果】大面積の露光技術の性能と整合するように素子電極間距離Lを長くした場合にも、電子放出部の形状及び位置の再現性が高く、均一な電子放出特性を有する素子が得られる。

(a)



(b)



【特許請求の範囲】

【請求項1】 基板上に形成した一対の素子電極間に跨がる導電性薄膜に電子放出部が設けられた表面伝導型電子放出素子の製造方法において、

基板上に、各素子電極部分の段差部の高さが異なる一対の素子電極を形成する工程と、

上記一対の素子電極を形成した基板上に、導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程を有することを特徴とする電子放出素子の製造方法。

【請求項2】 基板上に形成した一対の素子電極間に跨がる導電性薄膜に電子放出部が設けられた表面伝導型電子放出素子の製造方法において、

上記一対の素子電極を形成した基板上に、該一対の素子電極間に電位差を与えつつ導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程を有することを特徴とする電子放出素子の製造方法。

【請求項3】 前記導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程において、ノズルと基板間に電位差を与えることを特徴とする請求項1又は2に記載の電子放出素子の製造方法。

【請求項4】 請求項1～3のいずれかに記載の製造方法により得られた電子放出素子であって、一対の素子電極のうち一方の素子電極部分の段差部近傍にのみ電子放出部が配設されていることを特徴とする電子放出素子。

【請求項5】 一対の素子電極間に跨がる導電性薄膜に電子放出部が設けられた表面伝導型電子放出素子を、基板上に複数備えた電子源の製造方法において、

基板上に、各素子電極部分の段差部の高さが異なる一対の素子電極を複数対形成する工程と、

上記複数対の素子電極を形成した基板上に、導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程を有することを特徴とする電子源の製造方法。

【請求項6】 一対の素子電極間に跨がる導電性薄膜に電子放出部が設けられた表面伝導型電子放出素子を、基板上に複数備えた電子源の製造方法において、

複数対の素子電極を形成した基板上に、該複数対の素子電極のそれぞれの間に電位差を与えつつ導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程を有することを特徴とする電子源の製造方法。

【請求項7】 前記導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程において、ノズルと基板間に電位差を与えることを特徴とする請求項5又は6に記載の電子源の製造方法。

【請求項8】 請求項5～7のいずれかに記載の製造方法により得られた電子源であって、各電子放出素子は、一対の素子電極のうち一方の素子電極部分の段差部近傍にのみ電子放出部が配設されていることを特徴とする電子源。

【請求項9】 前記電子源は、複数の電子放出素子を配列した素子列を少なくとも1列以上有し、各電子放出素

子を駆動するための配線がマトリクス配置されていることを特徴とする請求項8に記載の電子源。

【請求項10】 前記電子源は、複数の電子放出素子を配列した素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線が梯状配置されていることを特徴とする請求項8に記載の電子源。

【請求項11】 請求項5～7のいずれかの記載の製造方法で電子源を製造し、得られた電子源を、該電子源から放出される電子線の照射により画像を形成する画像形成部材と組み合わせることを特徴とする画像形成装置の製造方法。

【請求項12】 請求項11に記載の製造方法により得られた画像形成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、表面伝導型電子放出素子、該電子放出素子を複数備えた電子源、及び該電子源を用いて構成した表示装置や露光装置等の画像形成装置に関わり、特にそれらの製造方法に関する。

【0002】

【従来の技術】 表面伝導型電子放出素子は、絶縁性の基板上に形成された導電性薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。

【0003】 表面伝導型電子放出素子の典型的な構成例としては、絶縁性の基板上に設けた一対の素子電極間を連絡する金属酸化物等の導電性薄膜に、予めフォーミングと称される通電処理により電子放出部を形成したものが挙げられる。フォーミングは、導電性薄膜の両端に、電圧を印加通電することで通常行われ、導電性薄膜を局所的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部を形成する処理である。電子放出は、上記電子放出部が形成された導電性薄膜に電圧を印加して電流を流すことにより、電子放出部に発生した亀裂付近から行われる。

【0004】 上記表面伝導型電子放出素子は、構造が単純で製造も比較的容易であることから、大面積にわたり多数配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば、荷電ビーム源、表示装置等の画像形成装置への利用が挙げられる。

【0005】 従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端（両素子電極）を配線（共通配線とも呼ぶ）にて各々結線した行を多数行配列（梯型配置とも呼ぶ）した電子源が挙げられる（特開昭64-31332号公報、特開平1-283749号公報、特開平2-257552号公報）。

【0006】 また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能

で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配列した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体とを組み合わせた表示装置が提案されている（アメリカ特許第5066883号明細書）。

【0007】

【発明が解決しようとする課題】前記表面伝導型電子放出素子の素子電極等のパターニングには、素子電極間距離が2～3μm以下ならば、デープUV系の光源を用いた露光装置、3μm以上ならば、UV系の光源を用いた露光機等が一般に用いられる。

【0008】しかしながら、実用化されている露光機では、デープUV系では対応能力は数インチ程度であり、また、直接コンタクト露光であるために、大面积対応には適しているとは言いがたい。

【0009】以上のことから、表面伝導型電子放出素子を多数配列形成した電子源、及びこれを用いた画像形成装置の大型化（大面积化）には、表面伝導型電子放出素子の素子電極間の長さ（ギャップ長）が、好ましくは3μm以上、より好ましくは数10μm以上であることが必要とされる。

【0010】一方、表面伝導型電子放出素子の電子放出部の形成には、前述のフォーミングと称される通電処理が施されるが、従来この通電処理によって導電性薄膜に形成される電子放出部は、特に素子電極間距離が長くなると大きな蛇行を生じ易く、電子放出部の位置及び形状等の再現性が低下し、各素子間の電子放出特性にはばらつきが生じ易かった。

【0011】このため、素子電極間距離を長くした表面伝導型電子放出素子を多数配列形成した電子源、及びこれを用いた画像形成装置においては、個々の電子放出素子の電子放出量のばらつきによって、均一な特性が得られず、特に画像形成装置では輝度むらの発生要因となり、画像品位の低下を招いていた。

【0012】また、表面伝導型電子放出素子の電子放出部が蛇行して形成されると、画像形成装置における蛍光体等の電子照射面での電子ビームの収束性が悪くなり、明るく、高精彩な画像が得られない。

【0013】また、従来、表面伝導型電子放出素子の電子放出用の膜となる導電性薄膜の形成には、導電性薄膜の構成元素を含む溶液、例えば有機金属溶液をスピナーフラッシュ法により基板上に塗布した後、加熱焼成する方法が一般的であった。

【0014】しかしながら、スピナーフラッシュ法で作製した膜は、基板や素子電極との密着性があり高くないため、表面伝導型電子放出素子の安定性に問題があった。また、大面积の電子源あるいは画像形成装置を作製する際には、大判の基板を用いる必要があるが、スピナーフラッシュ法を用いて基板に有機金属溶液の塗布を行おうとすると、この様な大判の基板を高速で回転させる必要があり、非

常に大掛かりな装置が必要となる。また、この様な作業を行うことは、非常な危険を伴う。

【0015】本発明は、上記従来技術が有する問題点を解消し、電子源及び画像形成装置の大面积化、高品位化を実現することを目的とする。

【0016】

【課題を解決するための手段及び作用】上記目的を達成するために成された本発明の構成は以下の通りである。

【0017】本発明の第一は、基板上に形成した一对の素子電極間に跨る導電性薄膜に電子放出部が設けられた表面伝導型電子放出素子の製造方法において、基板上に、各素子電極部分の段差部の高さが異なる一对の素子電極を形成する工程と、上記一对の素子電極を形成した基板上に、該一对の素子電極間に電位差を与える導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程を有することを特徴とする電子放出素子の製造方法にある。

【0018】本発明の第二は、基板上に形成した一对の素子電極間に跨る導電性薄膜に電子放出部が設けられた表面伝導型電子放出素子の製造方法において、上記一对の素子電極を形成した基板上に、該一对の素子電極間に電位差を与える導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程を有することを特徴とする電子放出素子の製造方法にある。

【0019】上記本発明第一及び第二は、さらにその特徴として、前記導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程において、ノズルと基板間に電位差を与えることを含む。

【0020】また、本発明の第三は、上記本発明第一又は第二の製造方法により得られた電子放出素子であつて、一对の素子電極のうち一方の素子電極部分の段差部近傍にのみ電子放出部が配設されていることを特徴とする電子放出素子にある。

【0021】また、本発明の第四は、一对の素子電極間に跨る導電性薄膜に電子放出部が設けられた表面伝導型電子放出素子を、基板上に複数備えた電子源の製造方法において、基板上に、各素子電極部分の段差部の高さが異なる一对の素子電極を複数対形成する工程と、上記複数対の素子電極を形成した基板上に、導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程を有することを特徴とする電子源の製造方法にある。

【0022】また、本発明の第五は、一对の素子電極間に跨る導電性薄膜に電子放出部が設けられた表面伝導型電子放出素子を、基板上に複数備えた電子源の製造方法において、複数対の素子電極を形成した基板上に、該複数対の素子電極のそれぞれの間に電位差を与える導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程を有することを特徴とする電子源の製造方法にある。

【0023】上記本発明第四及び第五は、さらにその特徴として、前記導電性薄膜の構成元素を含む溶液をノズルより噴霧する工程において、ノズルと基板間に電位差

を与えることを含む。

【0024】また、本発明の第六は、上記本発明第四又は第五の製造方法により得られた電子源であって、各電子放出素子は、一対の素子電極のうち一方の素子電極部分の段差部近傍にのみ電子放出部が配設されていることを特徴とする電子源にある。

【0025】上記本発明第六は、さらにその特徴として、前記電子源は、複数の電子放出素子を配列した素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線がマトリクス配置されていること、前記電子源は、複数の電子放出素子を配列した素子列を少なくとも1列以上有し、各電子放出素子を駆動するための配線が梯状配置されていることをも含む。

【0026】また、本発明の第七は、上記本発明第四又は第五の製造方法で電子源を製造し、得られた電子源を、該電子源から放出される電子線の照射により画像を形成する画像形成部材と組み合わせることを特徴とする画像形成装置の製造方法にある。

【0027】また、本発明の第八は、上記本発明第七の製造方法により得られた画像形成装置にある。

【0028】上記のように、本発明は表面伝導型電子放出素子、該表面伝導型電子放出素子を複数配列形成した電子源、及び該電子源を用いた画像形成装置に係るもので、各発明の構成及び作用を以下に更に説明する。

【0029】本発明に係る表面伝導型電子放出素子の基本的な構成は、図1に示すようなものであり、図中1は基板、2は電子放出部、3は電子放出部を含む導電性薄膜、4と5は素子電極である。

【0030】基板1としては、例えば石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等により SiO_2 を積層した積層体、及びアルミナ等のセラミックス等が挙げられる。

【0031】対向する素子電極4、5の材料としては、一般的導体材料が用いられ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金、及びPd、Ag、Au、RuO₂、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体、及びポリシリコン等の半導体導体材料等から適宜選択される。

【0032】素子電極間隔L、素子電極長さW1、導電性薄膜3の形状等は、応用される形態等によって、適宜設計される。

【0033】素子電極間隔Lは、通常は数百Å～数百μmであり、素子電極の製法の基本となるフォトリソグラフィー技術、即ち、露光機の性能とエッチング方法等、及び素子電極間に印加する電圧と電子放出し得る電界強度等により設定されるが、特に、數μm～数百μmであるとき、大面積の露光技術、印刷技術等の性能と整合するので、好ましい。

【0034】素子電極長さW1及び膜厚d1、d2は、

電極の抵抗値、多数配置された電子源の配置上の制約等を考慮して適宜設定され、通常は、素子電極長さW1は数μm～数百μmであり、素子電極の膜厚d1、d2は、数百Å～数μmである。

【0035】導電性薄膜3は、良好な電子放出特性を得るためにには、微粒子で構成された微粒子膜であるのが特に好ましく、その膜厚は、素子電極4、5間の抵抗値及び後述するフォーミング条件等によって、適宜設定される。この導電性薄膜3の膜厚は、好ましくは数Å～数千Åで、特に好ましくは10Å～500Åであり、その抵抗値は、 10^2 ～ 10^7 Ω/□のシート抵抗値である。

【0036】尚、上記微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態（島状も含む）の膜を指す。微粒子膜である場合、微粒子の粒径は、数Å～数千Åであるのが好ましく、特に好ましくは10Å～200Åである。

【0037】導電性薄膜3を構成する主な材料は、例えばPd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃、WO₃等の酸化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₆、GdB₆等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボンからなる。

【0038】電子放出部2には亀裂が含まれており、電子放出はこの亀裂付近から行われる。この亀裂を含む電子放出部2及び亀裂自体は、導電性薄膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存して形成される。

【0039】本発明の表面伝導型電子放出素子は、特に、一方の素子電極（図1では素子電極5）部分の段差部近傍に電子放出部2が配設されたものであり、このような電子放出部2は、詳しくは後述するが、前記本発明第一又は第二の製造方法によって得ることができる。

【0040】亀裂は、数Å～数百Åの粒径の導電性微粒子を有することもある。この導電性微粒子は、導電性薄膜3を構成する材料の元素の一部、あるいは全てと同様の物である。また、亀裂を含む電子放出部2及びその近傍の導電性薄膜3は炭素及び炭素化合物を有することもある。

【0041】図1に示した構成の本発明の表面伝導型電子放出素子を例に、図2の製造工程図に基づいて本発明の製造方法の一例を以下に説明する。

【0042】1) 絶縁性基板1を洗剤、純水および有機溶剤により十分に洗浄した後、真空蒸着法、スパッタ法等により素子電極材料を堆積させた後、フォトリソグラフィー技術により該絶縁性基板1の面上に素子電極4、

7

5を形成する。更に、素子電極4、5の一方、例えば素子電極4をマスクし、素子電極5のみに更に電極材料を積層して、素子電極5の段差部を素子電極4の段差部よりも高くする(図2(a))。

【0043】2) 素子電極4、5を形成した絶縁性基板1上に、有機金属溶液をノズルから噴霧することにより、有機金属薄膜を形成する。尚、有機金属溶液とは、前述の導電性薄膜3の構成材料の金属を主元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、有機部分を除去した後、リフトオフ、エッチング等によりバターニングされた導電性薄膜3を形成する(図2(b))。

【0044】3) 続いて、フォーミングと呼ばれる通電処理を施す。素子電極4、5間に不図示の電源より通電すると、導電性薄膜3のうち、素子電極5部分の段差部近傍の部位に構造の変化した略直線状の電子放出部2が形成される(図2(c))。この通電処理により導電性薄膜3を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位が電子放出部2である。

【0045】フォーミングの電圧波形の例を図3に示す。

【0046】電圧波形は、特にパルス波形が好ましく、パルス波高値を定電圧とした電圧パルスを連続的に印加する場合(図3(a))と、パルス波高値を増加させながら電圧パルスを印加する場合(図3(b))がある。

【0047】まず、パルス波高値を定電圧とした場合について説明する。図3(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔であり、例えば、T1を1μ秒～10m秒、T2を10μ秒～100m秒とし、三角波の波高値(フォーミング時のピーク電圧)を前述した表面伝導型電子放出素子の形態に応じて適宜選択して、適当な真空中の真空分圧気下で、数秒から数十分印加する。尚、印加する電圧波形は、図示される三角波に限定されるものではなく、矩形波等の所望の波形を用いることができる。

【0048】次に、パルス波高値を増加させながら電圧パルスを印加する場合について説明する。図3(b)におけるT1及びT2は図3(a)と同様であり、三角波の波高値(フォーミング時のピーク電圧)を、例えば0.1Vステップ程度づつ増加させ、図3(a)の説明と同様の適当な真空分圧気下で印加する。

【0049】尚、パルス間隔T2中で、導電性薄膜3(図1参照)を局所的に破壊、変形もしくは変質させない程度の電圧、例えば0.1V程度の電圧で素子電流を測定して抵抗値を求め、例えば1MΩ以上の抵抗を示した時にフォーミングを終了する。

【0050】4) 次に、フォーミング工程が終了した素子に活性化工程を施すことが好ましい。

【0051】活性化工程とは、例えば $10^{-4} \sim 10^{-5}$ Torr程度の真空中で、フォーミング工程での説明と同

10

8

様に、パルス波高値を一定にしたパルスの印加を繰り返す処理のことを言い、真空中に存在する有機物質から炭素及び炭素化合物を電子放出部2(図1参照)に堆積させることで、素子電流、放出電流の状態を著しく向上させることができる工程である。この活性化工程は、例えば素子電流や放出電流を測定しながら行って、例えば放出電流が飽和した時点で終了するようにすれば効果的であるので好ましい。また、活性化工程でのパルス波高値は、好ましくは素子を駆動する際に印加する駆動電圧の波高値である。

20

【0052】尚、上記炭素及び炭素化合物とは、グラファイト(単結晶及び多結晶の双方を指す)、非晶質カーボン(非晶質カーボン、及びこれと多結晶グラファイトとの混合物を指す)である。また、その堆積膜厚は、好ましくは500Å以下、より好ましくは300Å以下である。

20

【0053】5) 更に好ましくは、こうして作製した表面伝導型電子放出素子を、フォーミング工程及び活性化工程での真空中より高い真空中の真空分圧気にて動作駆動する。また、より好ましくは、このより高い真空中の真空中気下で80℃～150℃の加熱後、動作駆動する。

20

【0054】上記5)の工程により、これ以上の炭素及び炭素化合物の堆積が抑制され、素子電流及び放出電流が安定する。

30

【0055】以上説明した電子放出素子の製造方法は、一対の素子電極4、5部分の段差部の高さを互いに異なるように形成し、その上に導電性薄膜3の構成元素を含む溶液をノズルより噴霧する、本発明第一の製造方法によるものである。

30

【0056】本発明第一では、段差部の高さが異なる素子電極部分の形成により、この後に形成される導電性薄膜3を、低い段差部を有する側の素子電極4に対しては良好なステップカバレージ、高い段差部を有する側の素子電極5に対してはステップカバレージ不良の状態で形成することができる。このため、フォーミング処理において、上記導電性薄膜3のステップカバレージ不良領域に優先的に亀裂を発生させて、電子放出部2を形成することができる。即ち、図1に示した素子のように、素子電極5部分の段差部近傍に略直線状の電子放出部2を形成することができるものである。

40

【0057】本発明第一の製造方法において、一対の素子電極4、5部分の段差部の高さを互いに異なるように形成するためには、先に説明したように、図1に示した素子電極5の膜厚d1と素子電極4の膜厚d2を異なるようにしてもよいし、素子電極自体の厚さではなく、一方の素子電極の下にSiO₂等の絶縁層を形成することで各素子電極部分の段差部の高さを異ならせてよい。また、各素子電極部分の段差部の高さは、導電性薄膜3が、高さの高い方の素子電極部分の段差部(図1では素

子電極5部分の段差部)近傍で、他の部分(素子電極間等)と比較して電気抵抗が大きい状態(膜厚が薄い状態)に形成されるように、導電性薄膜3の製法に依存した膜のモフォロジーと膜厚を考慮して設定されるものである。通常、高さの高い方の素子電極部分の段差部は、好ましくは導電性薄膜3の膜厚の5倍以上、特に好ましくは10倍以上の高さを有するのが望ましい。

【005.8】本発明の表面伝導型電子放出素子は、一对の素子電極を形成した基板上に、一对の素子電極間に電位差を与える前記導電性薄膜の構成元素を含む溶液をノズルより噴霧する本発明第二の製造方法によっても得ることができる。

【005.9】即ち、本発明第二では、本発明第一のような非対称な素子電極構造を形成する代わりに、一对の素子電極間に電位差を与えることにより、ノズルより噴霧される前述の有機金属溶液から形成される導電性薄膜を、低電位の素子電極側に対しては密着性が高く緻密な膜として、高電位の素子電極側に対しては密着性もしくは膜密度が低くステップカバーレージ不良の領域を形成できるものである。

【006.0】また、上記本発明第一及び第二は、前記導電性薄膜の構成元素を含む溶液をノズルより噴霧する際、ノズルと基板間に電位差を与えることが好ましく、これにより、基板及び素子電極と、導電性薄膜との密着性を高めることができ、より安定した特性を有する表面伝導型電子放出素子が得られる。

【006.1】以上のように、本発明の製造方法によれば、特に素子電極距離を長くした場合においても、一方の素子電極部分の段差部近傍、好ましい形態としては段差部の基板面側近傍に、素子電極の形状に沿って略直線状の電子放出部を形成することができるため、電子放出部の位置及び形状等の再現性が向上し、後述するような素子特性を揃えることができる。

【006.2】また、本発明の製造方法では、表面伝導型電子放出素子の導電性薄膜の形成における有機金属溶液の塗布に際して、ノズルより噴霧する方法を採用しているため、従来用いていたスピナーラー法のように基板を回転させることができないため、特に表面伝導型電子放出素子を大面積に渡って多数配列した電子源を製造する際に効果的である。即ち、大判の基板を回転させるといった危険を回避できると共に、簡易な装置で安価に大面積の電子源、及びこの電子源を用いた画像形成装置を作製できる。

【006.3】次に、前述のようにして得られる本発明の表面伝導型電子放出素子の基本特性を以下に説明する。

【006.4】図4は、表面伝導型電子放出素子の電子放出特性を測定するための測定評価系の一例を示す概略構成図で、まずこの測定評価系を説明する。

【006.5】図4において、図1と同じ符号は同じ部材を示す。また、51は素子に素子電圧Vfを印加するた

10
めの電源、50は素子電極4、5間の導電性薄膜3を流れる素子電流Ifを測定するための電流計、54は電子放出部2より放出される放出電流Ieを捕捉するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、52は電子放出部5より放出される放出電流Ieを測定するための電流計、55は真空装置、56は排気ポンプである。

【006.6】表面伝導型電子放出素子及びアノード電極54等は真空装置55内に設置され、この真空装置55には不図示の真空計等の必要な機器が具備されており、所望の真空中で表面伝導型電子放出素子の測定評価ができるようになっている。

【006.7】排気ポンプ56は、ターボポンプ、ロータリーポンプ等からなる通常の高真空中装置と、イオンポンプ等からなる超高真空中装置とから構成されている。また、真空装置55全体及び表面伝導型電子放出素子の基板1は、不図示のヒーターにより200℃程度まで加熱できるようになっている。尚、この測定評価系は、後述する表示パネル(図7における2-0-1参照)の組み立て段階において、表示パネル及びその内部を真空装置55及びその内部として構成することで、前述のフォーミング工程及び活性化工程における測定評価及び処理に応用することができるものである。

【006.8】以下に述べる表面伝導型電子放出素子の基本特性は、上記測定評価系のアノード電極54の電圧を1kV～10kVとし、アノード電極54と表面伝導型電子放出素子の距離Hを2mm～8mmとして通常測定を行う。また、測定に際しての素子電極4、5の電位は、電子ビームを効率的にアノード電極54へ到達させることを鑑みれば、電子放出部2を形成した側の素子電極(図1、図4では素子電極5)側を、他方の素子電極に比べて高電位とするのが好ましい。

【006.9】まず、放出電流Ie及び素子電流Ifと、素子電圧Vfの関係の典型的な例を図5(図中の実線)に示す。尚、図5において、放出電流Ieは素子電流Ifに比べて著しく小さいので、任意単位で示されている。

【007.0】図5から明らかのように、表面伝導型電子放出素子は、放出電流Ieに対する次の3つの特徴的特性を有する。

【007.1】まず第1に、表面伝導型電子放出素子はある電圧(しきい値電圧と呼ぶ; 図5中のVth)以上の素子電圧Vfを印加すると急激に放出電流Ieが増加し、一方、しきい値電圧Vth以下では放出電流Ieが殆ど検出されない。即ち、放出電流Ieに対する明確なしきい値電圧Vthを持った非線形素子である。

【007.2】第2に、放出電流Ieが素子電圧Vfに対して単調増加する特性(M1特性と呼ぶ)を有するため、放出電流Ieは素子電圧Vfで制御できる。

【007.3】第3に、アノード電極54(図4参照)に

11

捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。即ち、アノード電極 54 に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0074】図 5 に実線で示した特性は、放出電流 I_e が素子電圧 V_f に対して MI 特性を有すると同時に、素子電流 I_f も素子電圧 V_f に対して MI 特性を有しているが、図 5 に破線で示すように、素子電流 I_f は素子電圧 V_f に対して電圧制御型負性抵抗特性 (VCNR 特性と呼ぶ) を示す場合もある。いずれの特性を示すかは、素子の製法及び測定時の測定条件等に依存する。但し、素子電流 I_f が素子電圧 V_f に対して VCNR 特性を有する素子でも、放出電流 I_e は素子電圧 V_f に対して MI 特性を有する。

【0075】以上のような本発明の表面伝導型電子放出素子の特徴的特性のため、複数の素子を配置した電子源や画像形成装置等でも、入力信号に応じて、容易に放出電子量を制御することができることとなり、多方面への応用ができる。

【0076】次に、本発明の電子源における表面伝導型電子放出素子の配列について説明する。

【0077】本発明の電子源における表面伝導型電子放出素子の配列方式としては、従来の技術の項で述べたような梯形配置の他、m 本の X 方向配線の上に n 本の Y 方向配線を層間絶縁層を介して設置し、表面伝導型電子放出素子の一対の素子電極に各々 X 方向配線、Y 方向配線を接続した配列方式が挙げられる。これを以後単純マトリクス配置と呼ぶ。まず、この単純マトリクス配置について詳述する。

【0078】前述した表面伝導型電子放出素子の基本的特性によれば、印加される素子電圧 V_f がしきい値電圧 V_{th} を超える場合には、印加するパルス状電圧の波高値とパルス幅で電子放出量を制御できる。一方、しきい値電圧 V_{th} 以下では、殆ど電子の放出はされない。従って、多数の表面伝導型電子放出素子を配置した場合においても、単純なマトリクス配線だけで入力信号に応じて制御したパルス状電圧を印加し、個々の素子を選択して独立に駆動可能となる。

【0079】単純マトリクス配置は上記原理に基づくものであり、本発明の電子源の一例である単純マトリクス配置の電子源の構成について、図 6 に基づいて更に説明する。

【0080】図 6において、基板 1 は既に説明したようなガラス板等であり、この基板 1 上に配列された表面伝導型電子放出素子 104 の個数及び形状は用途に応じて適宜設定されるものである。

【0081】m 本の X 方向配線 102 は、各々外部端子 DX_1, DX_2, \dots, DX_m を有するもので、基板 1 上に、真空蒸着法、印刷法、スパッタ法等で形成した導電性金属等である。また、多数の表面伝導型電子放出素子 104 にほぼ均等に電圧が供給されるように、材料、

12

膜厚、配線幅が設定されている。

【0082】n 本の Y 方向配線 103 は、各々外部端子 DY_1, DY_2, \dots, DY_n を有するもので、X 方向配線 102 と同様に作成される。

【0083】これら m 本の X 方向配線 102 と n 本の Y 方向配線 103 間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成している。尚、この m, n は共に正の整数である。

【0084】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成された SIO_x 等であり、X 方向配線 102 を形成した基板 1 の全面或は一部に所望の形状で形成され、特に、X 方向配線 102 と Y 方向配線 103 の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。また、X 方向配線 102 と Y 方向配線 103 は各々外部端子として引き出されている。

【0085】更に、表面伝導型電子放出素子 104 の対向する素子電極 (不図示) が、m 本の X 方向配線 102 と、n 本の Y 方向配線 103 と、真空蒸着法、印刷法、スパッタ法等で形成された導電性金属等からなる結線 105 によって電気的に接続されているものである。尚、後述の駆動法を鑑みれば、X 方向配線 102 と接続された素子電極側に電子放出部が形成されることが好ましい。

【0086】ここで、m 本の X 方向配線 102 と、n 本の Y 方向配線 103 と、結線 105 と、対向する素子電極とは、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なっていてもよく、前述の素子電極の材料等より適宜選択される。これら素子電極への配線は、素子電極と材料が同一である場合には、素子電極と総称する場合もある。また、表面伝導型電子放出素子 104 は、基板 1 あるいは不図示の層間絶縁層上どちらに形成してもよい。

【0087】また、詳しくは後述するが、前記 X 方向配線 102 には、X 方向に配列された表面伝導型電子放出素子 104 の行を入力信号に応じて走査するために、走査信号を印加する不図示の走査信号印加手段が電気的に接続されている。

【0088】一方、Y 方向配線 103 には、Y 方向に配列された表面伝導型電子放出素子 104 の列の各列を入力信号に応じて変調するために、変調信号を印加する不図示の変調信号印加手段が電気的に接続されている。各表面伝導型電子放出素子 104 に印加される駆動電圧は、当該表面伝導型電子放出素子に印加される走査信号と変調信号の差電圧として供給されるものである。

【0089】次に、以上のような単純マトリクス配置の本発明の電子源を用いた本発明の画像形成装置の一例を、図 7 ~ 図 9 を用いて説明する。尚、図 7 は表示パネル 201 の基本構成図であり、図 8 は蛍光膜 114 を示す図であり、図 9 は図 7 の表示パネル 201 で NTSC

方式のテレビ信号に応じてテレビジョン表示を行うための駆動回路の一例を示すブロック図である。

【0090】図7において、1は上述のようにして本発明の表面伝導型電子放出素子を配置した電子源の基板、111は基板1を固定したリアプレート、116はガラス基板113の内面に画像形成部材であるところの蛍光膜114とメタルパック115等が形成されたフェースプレート、112は支持枠である。リアプレート111、支持枠112及びフェースプレート116は、これらの接合部分にフリットガラス等を塗布し、大気中あるいは空素雰囲気中で400℃～500℃で10分間以上焼成することで封着して、外囲器118を構成している。

【0091】図7において、102、103は表面伝導型電子放出素子104の一対の素子電極4、5(図1参照)に接続されたX方向配線及びY方向配線で、各々外部端子Dx1ないしDxm、Dy1ないしDynを有している。

【0092】外囲器118は、上述の如く、フェースプレート116、支持枠112、リアプレート111で構成されている。しかし、リアプレート111は主に基板1の強度を補強する目的で設けられるものであり、基板1自体で十分な強度を持つ場合は別体のリアプレート111は不要であり、基板1に直接支持枠112を封着し、フェースプレート116、支持枠112、基板1にて外囲器118を構成しても良い。また、フェースプレート116とリアプレート111の間に、スペーサーと呼ばれる不図示の支持体を更に設置することで、大気圧に対して十分な強度を有する外囲器118とすることもできる。

【0093】蛍光膜114は、モノクロームの場合は蛍光体122のみから成るが、カラーの場合は、蛍光体122の配列により、ブラックストライプ(図8(a))あるいはブラックマトリクス(図8(b))等と呼ばれる黒色導電材121と、蛍光体122とで構成される。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合必要となる三原色の各蛍光体122間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜114における外光反射によるコントラストの低下を抑制することである。黒色導電材121の材料としては、通常よく用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及び反射が少ない材料であれば他の材料を用いることもできる。

【0094】ガラス基板113に蛍光体122を塗布する方法としては、モノクローム、カラーによらず、沈殿法や印刷法が用いられる。

【0095】また、図7に示されるように、蛍光膜114の内面側には通常メタルパック115が設けられる。メタルパック115の目的は、蛍光体122(図8参

照)の発光のうち内面側への光をフェースプレート116側へ鏡面反射することにより輝度を向上すること、高圧端子Hvから電子ビーム加速電圧を印加するための電極として作用すること、外囲器118内で発生した負イオンの衝突によるダメージからの蛍光体122の保護等である。メタルパック115は、蛍光膜114の作製後、蛍光膜114の内面側表面の平滑化処理(通常、フィルミングと呼ばれる)を行い、その後A1を真空蒸着等で堆積することで作製できる。

【0096】フェースプレート116には、更に蛍光膜114の導電性を高めるため、蛍光膜114の外側に透明電極(不図示)を設けてもよい。

【0097】前述の封着を行う際、カラーの場合は各色蛍光体122と表面伝導型電子放出素子104とを対応させなくてはいけないため、十分な位置合わせを行う必要がある。

【0098】外囲器118内は、不図示の排気管を通じ、 10^{-6} ～ 10^{-7} Torr程度の真空度にされ、封止される。

【0099】尚、不図示の排気管を通じ、例えば、ロータリーポンプ、ターボポンプをポンプ系とするような通常の真空装置系で、外囲器118内を 10^{-6} Torr程度の真空度とした状態で、容器外端子Dx1～DxmとDy1～Dynを通じ素子電極4、5間に電圧を印加し、前述のフォーミング工程、活性化工程を行って電子放出部2を形成した後、80～150℃でベーキングを3～1.5時間行なながら、例えば、イオンポンプ等をポンプ系とする超高真空装置系に切り替える場合もある。また、外囲器118の封止を行う直前あるいは封止後に、ゲッター処理を行う場合もある。これは、抵抗加熱あるいは高周波加熱等の加熱法により、外囲器118内の所定の位置に配置したゲッター(不図示)を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば 10^{-5} ～ 10^{-7} Torrの真空度を維持するためのものである。

【0100】上述の表示パネル201は、例えば図9に示されるような駆動回路で駆動することができる。尚、図9において、201は前記表示パネルであり、202は走査回路、203は制御回路、204はシフトレジスタ、205はラインメモリ、206は同期信号分離回路、207は変調信号発生器、Vx及びVaは直流電圧源である。

【0101】図9に示されるように、表示パネル201は、外部端子Dx1ないしDxm、外部端子Dy1ないしDyn、及び高圧端子Hvを介して外部の電気回路と接続されている。このうち、外部端子Dx1ないしDxmには、前記表示パネル201内に設けられている表面伝導型電子放出素子、すなわちm行n列の行列状にマトリクス配置された表面伝導型電子放出素子群を1行(n

素子) づつ順次駆動して行くための走査信号が印加される。

【0102】一方、外部端子Dy1ないしDynには、前記走査信号により選択された1行の各素子の出力電子ビームを制御する為の変調信号が印加される。また、高圧端子Hvには、直流電圧源Vaより、例えば10kVの直流電圧が供給される。これは表面伝導型電子放出素子より出力される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0103】走査回路202は、内部にm個のスイッチング素子(図9中、S1ないしSmで模式的に示す)を備えるもので、各スイッチング素子S1～Smは、直流電圧源Vxの出力電圧もしくは0V(グランドレベル)のいずれか一方を選択して、表示パネル201の外部端子Dx1ないしDxmと電気的に接続するものである。各スイッチング素子S1～Smは、制御回路203が出力する制御信号Tscanに基づいて動作するもので、実際には、例えばFETのようなスイッチング機能を有する素子を組み合わせることにより容易に構成することが可能である。

【0104】本例における前記直流電圧源Vxは、前記表面伝導型電子放出素子の特性(しきい値電圧)に基づき、走査されていない表面伝導型電子放出素子に印加される駆動電圧がしきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0105】制御回路203は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる働きをもつものである。次に説明する同期信号分離回路206より送られる同期信号Tsyncに基づいて、各部に対してTscan、Tsft及びTmryの各制御信号を発生する。

【0106】同期信号分離回路206は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分とを分離する為の回路で、良く知られているように、周波数分離(フィルター)回路を用いれば、容易に構成できるものである。同期信号分離回路206により分離された同期信号は、これも良く知られるよう、垂直同期信号と水平同期信号より成る。ここでは説明の便宜上、Tsyncとして図示する。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上DATA信号と図示する。このDATA信号はシフトレジスタ204に入力される。

【0107】シフトレジスタ204は、時系列的にシリアル入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路203より送られる制御信号Tsftに基づいて動作する。この制御信号Tsftは、シフトレジスタ204のシフトクロックであると言えても良い。また、シリアル/パラレル変換された画像1ライン分(表面伝導型電子放出素子のn素子分の駆動データに相当する)

のデータは、Id1ないしIdnのn個の並列信号として前記シフトレジスタ204より出力される。

【0108】ラインメモリ205は、画像1ライン分のデータを必要時間だけ記憶する為の記憶装置であり、制御回路203より送られる制御信号Tmryに従って適宜Id1ないしIdnの内容を記憶する。記憶された内容は、I'd1ないしI'dnとして出力され、変調信号発生器207に入力される。

【0109】変調信号発生器207は、前記画像データI'd1ないしI'dnの各々に応じて、表面伝導型電子放出素子の各々を適切に駆動変調する為の信号線で、その出力信号は、外部端子Dy1ないしDynを通じて表示パネル201内の表面伝導型電子放出素子に印加される。

【0110】前述したように、表面伝導型電子放出素子は電子放出に明確なしきい値電圧を有しており、しきい値電圧を超える電圧が印加された場合にのみ電子放出が生じる。また、しきい値電圧を超える電圧に対しては、表面伝導型電子放出素子への印加電圧の変化に応じて放出電流も変化していく。表面伝導型電子放出素子の材料や構成、製造方法を変える事により、しきい値電圧の値や、印加電圧に対する放出電流の変化の度合いが変わる場合もあるが、いずれにしても以下のよう事が言える。

【0111】即ち、表面伝導型電子放出素子にパルス状の電圧を印加する場合、例えばしきい値電圧以下の電圧を印加しても電子放出は生じないが、しきい値電圧を超える電圧を印加する場合には電子放出を生じる。その際、第1には電圧パルスの波高値を変化させることにより、出力される電子ビームの強度を制御することが可能である。第2には、電圧パルスの幅を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0112】従って、入力信号に応じて表面伝導型電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式とが挙げられる。電圧変調方式を行う場合、変調信号発生器207としては、一定の長さの電圧パルスを発生するが、入力されるデータに応じて適宜パルスの波高値を変調できる電圧変調方式の回路を用いる。また、パルス幅変調方式を行う場合、変調信号発生器207としては、一定の波高値の電圧パルスを発生するが、入力されるデータに応じて適宜パルス幅を変調できるパルス幅変調方式の回路を用いる。

【0113】シフトレジスタ204やラインメモリ205は、デジタル信号式のものでもアナログ信号式のものでもよく、画像信号のシリアル/パラレル変換や記憶が所定の速度で行えるものであればよい。

【0114】デジタル信号式を用いる場合には、同期信号分離回路206の出力信号DATAをデジタル信号化する必要がある。これは同期信号分離回路206の出力

部にA/D変換器を設けることで行える。【0115】また、これと関連して、ラインメモリ205の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器207に設けられる回路が若干異なるものとなる。

【0116】即ち、デジタル信号で電圧変調方式の場合、変調信号発生器207には、例えば良く知られているD/A変換回路を用い、必要に応じて増幅回路等を付け加えればよい。また、デジタル信号でパルス幅変調方式の場合、変調信号発生器207は、例えば高速の発振器及び発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用いることで容易に構成することができる。更に、必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0117】一方、アナログ信号で電圧変調方式の場合、変調信号発生器207には、例えばよく知られているオペアンプ等を用いた増幅回路を用いればよく、必要に応じてレベルシフト回路等を付け加えてもよい。また、アナログ信号でパルス幅変調方式の場合、例えばよく知られている電圧制御型発振回路(VCO)を用いればよく、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0118】以上のような表示パネル201及び駆動回路を有する本発明の画像形成装置は、外部端子D_{x1}～D_{xm}及びD_{y1}～D_{yn}から電圧を印加することにより、任意の表面伝導型電子放出素子104から電子を放出させることができ、高圧端子Hvを通じてメタルパック115あるいは透明電極(不図示)に高電圧を印加して電子ビームを加速し、加速した電子ビームを蛍光膜114に衝突させることで生じる励起・発光によって、NTSC方式のテレビ信号に応じてテレビジョン表示を行うことができるものである。

【0119】尚、以上説明した構成は、表示等に用いられる本発明の画像形成装置を得る上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述の内容に限られるものではなく、画像形成装置の用途に適するよう、適宜選択されるものである。また、入力信号例としてNTSC方式を挙げたが、本発明の画像形成装置はこれに限られるものではなく、PAL、SECAM方式等の他の方式でもよく、更にはこれらよりも多数の走査線からなるTV信号、例えばMUSE方式をはじめとする高品位TV方式でもよい。

【0120】次に、前述の梯型配置の電子源及びこれを用いた本発明の画像形成装置の一例について、図10及び図11を用いて説明する。

【0121】図10において、1は基板、104は表面

50

伝導型電子放出素子、304は表面伝導型電子放出素子104を接続する共通配線で10本設けられており、各々外部端子D₁～D₁₀を有している。

【0122】表面伝導型電子放出素子104は、基板1上に並列に複数個配置される。これを素子行と呼ぶ。そしてこの素子行が複数行配置されて電子源を構成している。

【0123】各素子行の共通配線304(例えば外部端子D₁とD₂の共通配線304)間に適宜の駆動電圧を印加することで、各素子行を独立に駆動することが可能である。即ち、電子ビームを放出させたい素子行にはしきい値電圧を超える電圧を印加し、電子ビームを放出させたくない素子行にはしきい値電圧以下の電圧を印加するようすればよい。このような駆動電圧の印加は、各素子行間に位置する共通配線D₂～D₉について、各々相隣接する共通配線304、即ち相隣接する外部端子D₂とD₃、D₄とD₅、D₆とD₇、D₈とD₉の共通配線304を一体の同一配線としても行うことができる。

【0124】図11は、上記梯型配置の電子源を備えた表示パネル301の構造を示す図である。

【0125】図11において、302はグリッド電極、303は電子が通過するための開口、D₁～D_mは各表面伝導型電子放出素子に電圧を印加するための外部端子、G₁～G_nはグリッド電極302に接続された端子である。また、各素子行間の共通配線304は一体の同一配線として基板1上に形成されている。

【0126】尚、図11において図7と同じ符号は同じ部材を示すものであり、図7に示される単純マトリクス配置の電子源を用いた表示パネル201との大きな違いは、基板1とフェースプレート116の間にグリッド電極302を備えている点である。

【0127】基板1とフェースプレート116の間には、上記のようにグリッド電極302が設けられている。このグリッド電極302は、表面伝導型電子放出素子104から放出された電子ビームを変調することができるもので、梯型配置の素子行と直交して設けられたストライプ状の電極に、電子ビームを通過させるために、各表面伝導型電子放出素子104に対応して1個づつ円形の開口303を設けたものとなっている。

【0128】グリッド電極302の形状や配置位置は、必ずしも図11に示すようなものでなくともよく、開口303をメッシュ状に多数設けることもあり、またグリッド電極302を、例えば表面伝導型電子放出素子104の周囲や近傍に設けてよい。

【0129】外部端子D₁～D_m及びG₁～G_nは不図示の駆動回路に接続されている。そして、素子行を1列づつ順次駆動(走査)していくのと同期して、グリッド電極302の列に画像1ライン分の変調信号を印加することにより、各電子ビームの蛍光膜114への照射を制

御し、画像を1ラインづつ表示することができる。

【0130】以上のように、本発明の画像形成装置は、単純マトリクス配置及び梯型配置のいずれの本発明の電子源を用いても得ることができ、上述したテレビジョン放送の表示装置のみならず、テレビ会議システム、コンピューター等の表示装置として好適な画像形成装置が得られる。更には、感光ドラム等とで構成した光プリンターの露光装置としても用いることができるものである。

【0131】

【実施例】以下に実施例を挙げ、本発明を更に説明する。

【0132】【実施例1】本実施例では、図1に示した構成の本発明の表面伝導型電子放出素子、及び比較用として従来の表面伝導型電子放出素子を作製し、それらの電子放出特性等について行った実験について説明する。尚、図1(a)は表面伝導型電子放出素子の平面図を、図1(b)は断面図を示しており、図中のW1は素子電極4, 5の幅、W2は導電性薄膜3の幅、Lは素子電極4, 5間の間隔、d1, d2はそれぞれ素子電極5, 4の厚さを表している。

【0133】以下、本実施例の各素子の製造方法の手順を示す図である図12を用いて、具体的に説明する。図12にも示したように、以後、本発明の表面伝導型電子放出素子を形成する基板を基板A、比較用の表面伝導型電子放出素子を形成する基板を基板Bと呼ぶ。尚、各基板上には、同一形状の素子が、4個形成される。

【0134】1) 基板1として石英基板を用い、これを洗剤、純水及び有機溶剤により充分に洗浄後、基板A, Bにそれぞれマスクを用いてスパッタ法により、素子電極材料としてPtを300Å堆積した。更に、基板Aに対しても、素子電極4をマスクし、Ptを800Å積層した(図12(a))。

【0135】素子電極の厚さは、基板Bでは、素子電極4, 5ともに300Åである。一方基板Aでは、素子電極5は1100Åであり、素子電極4は300Åである。尚、素子電極間隔Lは、基板A, Bともに100μmである。

【0136】その後、基板A, Bの双方に、導電性薄膜3のバーニングの目的でリフトオフ用のCr膜(不図示)を1000Åの膜厚で真空蒸着した。この時、導電性薄膜3の幅W2に対応するCr膜の開口部分の寸法を100μmとした。

【0137】これ以降の工程は、基板A, Bとも共通である。

【0138】2) 素子電極4, 5を形成した基板1上に、有機パラジウム溶液(奥野製薬(株)製、ccp-4230)をノズルから噴霧した。この時、素子電極とノズル間に5kVを印加し、ノズルより噴霧した有機パラジウム溶液の微細な液滴を帯電させて加速し、基板1上に吹き付けた。この後、有機Pd薄膜を300°Cで

10分間大気中で加熱焼成処理し、主としてPdO微粒子からなる導電性薄膜3を形成した。この導電性薄膜3の膜厚は約100Å、シート抵抗値は $5 \times 10^3 \Omega/\square$ であった。

【0139】その後、Cr膜および導電性薄膜3を酸エッチチャントによりウエットエッティングして所望のパターンを有する導電性薄膜3を得た(図12(b))。

【0140】3) 次に、基板A, Bとも図4の測定評価系の真空装置5内に設置し、真空中で加熱し、導電性薄膜3のPdOをPdに還元した後、素子電圧Vfを印加するための電源51により素子電極4, 5間に電圧を印加してフォーミング処理を行い、電子放出部2を形成した(図12(c))。フォーミング処理には図3(b)に示したような電圧波形(尚、三角波ではなく矩形波)を用いた。

【0141】本実施例では、図3(b)中のT1を1m秒、T2を10m秒とし、矩形波の波高値を徐々に増加させてフォーミングを行った。

【0142】4) 引き続き基板A, Bとも真空装置5内に設置したまま、真空装置5内を約 10^{-6} Torrとし、図3(a)に示したような電圧波形(尚、三角波ではなく矩形波)を用いて素子を駆動させて活性化処理を行った。本実施例では、図3(a)中のT1を1m秒、T2を10m秒とし、駆動電圧(波高値)を15Vとした。

【0143】5) 続いて、真空装置5内を約 10^{-6} Torrとし、基板A, Bの各表面伝導型電子放出素子を駆動させて素子電流If, 放出電流Ieを測定した。また、測定後、基板A, Bとも、FESEMで電子放出部2を観察した。

【0144】尚、測定条件は、アノード電極54と電子放出素子間の距離Hを5mm、アノード電極54の電位を1kV、素子電圧Vfを18V、各素子電極にかける電位は、素子電極5の電位を素子電極4より低電位とした。

【0145】その結果、基板Bの素子では、素子電流Ifは、 $1.2 \text{ mA} \pm 2.5\%$ 、放出電流Ieは、 $1.0 \mu \text{A} \pm 3.0\%$ であった。一方、基板Aの素子では、素子電流Ifは、 $1.0 \text{ mA} \pm 5\%$ 、放出電流Ieは、 $0.95 \mu \text{A} \pm 4.5\%$ となり、各素子間のばらつきが著しく減少した。

【0146】また、同時に、アノード電極54に蛍光体を設置して、電子放出素子から放出された電子ビームによる蛍光体上の輝点形状を測定したところ、基板Aの素子による輝点が、基板Bの素子による輝点に比べて、30μm程度小さかった。

【0147】また、基板A, Bの各素子における、導電性薄膜3の一部に形成された電子放出部2のFESEMによる観察結果を、図13に模式的に示す。図13に示したように、基板Aの本発明の素子では、4個の素子の

いずれも、高い段差部を有する（厚みの厚い）素子電極5の近傍に、略直線状の電子放出部2が形成されていた。一方、基板Bの比較用の従来素子では、電子放出部2は4個の素子のいずれも、素子電極間の中央部付近で5.0 μm位の幅で大きく蛇行して形成されていた。

【0148】以上のように、一方の素子電極の近傍にのみ略直線状の電子放出部2を有する本発明の表面伝導型電子放出素子は、電子放出特性のばらつきが少なく、且つ電子ビームの収束性が高い極めて良好な素子である。尚、基板Aの本発明の素子において、素子電極にかける電位を、素子電極5の電位が素子電極4より高電位とした場合には、蛍光体上の輝点がやや大きくなつた。

【0149】【実施例2】本発明第二の製造方法の実施例を、図14を用いて説明する。

【0150】1) 基板1として石英基板を用い、これを洗剤、純水及び有機溶剤により充分に洗浄後、基板1上にマスクを用いてスパッタ法により、素子電極材料としてPtを300 Å堆積した（図14(a)）。尚、素子電極間隔Lは、1.00 μmである。

【0151】2) 素子電極4、5間に直流電源1.1により5V印加しつつ、基板1上に、有機パラジウム溶液（奥野製薬（株）製、c.c.p.-4230）をノズルから噴霧した。この時、実施例1と同様に素子電極とノズル間に5kVを印加し、ノズルより噴霧した有機パラジウム溶液の微細な液滴を帯電させて加速し、基板1上に吹き付けた。これにより、低電位の素子電極4側には緻密な膜が形成され、高電位の素子電極5側には密度の低い、ステップカバージ不良の領域が形成される。

【0152】この後、有機Pd薄膜を300°Cで1.0分間大気中で加熱焼成処理し、主としてPdO微粒子からなる導電性薄膜3を形成した。この導電性薄膜3の膜厚は約100 Å、シート抵抗値は $5 \times 10^3 \Omega/\square$ であった。

【0153】その後、バターニングにより不要部分の導電性薄膜を除去し、所望のパターンを有する導電性薄膜3を得た（図14(b)）。

【0154】3) 次に、上記基板1を図4の測定評価系の真空装置5内に設置し、真空中で加熱し、導電性薄膜3のPdOをPdに還元した後、素子電圧Vfを印加するための電源5.1により素子電極4、5間に電圧を印加してフォーミング処理を行い、電子放出部2を形成した（図14(c)）。フォーミング処理には図3(b)に示したような電圧波形（尚、三角波ではなく矩形波）を用いた。

【0155】本実施例では、図3(b)中のT1を1m秒、T2を10m秒とし、矩形波の波高値を徐々に増加させてフォーミングを行つた。

【0156】以下、実施例1と同様にして、活性化処理を行つた後、素子特性を測定した。その結果、本実施例の素子は、実施例1の本発明の素子と同様の特性を示し

た。

【0157】また、本実施例の素子の導電性薄膜3の一部に形成された電子放出部2をFESEMで観察したところ、有機パラジウム溶液をノズルより噴霧して塗布する際に高電位側とした素子電極5の近傍に、素子電極5に沿つた略直線状の電子放出部2が形成されていた。

【0158】【実施例3】本実施例では、実施例1と同様、本発明の表面伝導型電子放出素子、及び比較用として従来の表面伝導型電子放出素子を作製し、それらの電子放出特性等について行った実験について説明する。

【0159】以下、本実施例の各素子の製造方法の手順を示す図である図15を用いて、具体的に説明する。図15にも示したように、以後、本発明の表面伝導型電子放出素子を形成する基板を基板A、比較用の表面伝導型電子放出素子を形成する基板を基板Bと呼ぶ。尚、各基板上には、同一形状の素子が、4個形成される。

【0160】1) 基板1として石英基板を用い、これを洗剤、純水及び有機溶剤により充分に洗浄後、基板Aに對してのみ、スパッタ法によりSiO₂を1500 Å堆積後、レジスト塗布、バターニングした後、素子電極5を形成する領域以外のSiO₂をリアクティブエッチング法によりエッチング除去して、素子電極5を形成する領域のみにSiO₂からなる絶縁層21を形成した。次に、基板A、Bの双方にそれぞれマスクを用いてスパッタ法により、素子電極材料としてPtを300 Å堆積した（図15(a)）。

【0161】素子電極部分の段差部の高さは、基板Bでは、素子電極4、5部分ともに300 Åである。一方基板Aでは、素子電極5部分は1800 Åであり、素子電極4部分は300 Åである。尚、素子電極間隔Lは、基板Aでは5.0 μm、基板Bでは2 μmとした。

【0162】その後、基板A、Bの双方に、導電性薄膜3のバターニングの目的でリフトオフ用のCr膜（不図示）を1000 Åの膜厚で真空蒸着した。この時、導電性薄膜3の幅W2に対応するCr膜の開口部分の寸法を100 μmとした。

【0163】これ以降の工程は、基板A、Bとも共通である。

【0164】2) 素子電極4、5を形成した基板1上に、有機金属溶液としてPtの有機錯体を溶剤に溶かした溶液をノズルから噴霧することにより、有機Pt薄膜を形成し、真空中で加熱焼成することによりPt薄膜からなる導電性薄膜3を形成した。この導電性薄膜3の膜厚は約30 Å、シート抵抗値は $5 \times 10^2 \Omega/\square$ であった。

【0165】その後、Cr膜および導電性薄膜3を酸エッチャントによりウエットエッチングして所望のパターンを有する導電性薄膜3を得た（図15(b)）。

【0166】3) 次に、実施例1と同様にして、基板A、B双方の素子にフォーミング処理を行つた（図15

(c)) .

【0167】4) 次に、実施例1と同様にして、基板A, B双方の素子に活性化処理を行った。

【0168】5) 縞いて、真空装置5内を約 10^{-6} Torrとし、基板A, Bの各表面伝導型電子放出素子を應効させて素子電流If, 放出電流Ieを測定した。また、測定後、基板A, Bとも、FESEMで電子放出部2を観察した。

【0169】尚、測定条件は、アノード電極54と電子放出素子間の距離Hを5mm、アノード電極54の電位を1kV、素子電圧Vfを15V、各素子電極にかける電位は、素子電極5の電位を素子電極4より低電位とした。

【0170】その結果、基板Bの素子では、素子電流Ifは、 $1.0\text{mA}\pm 5\%$ 、放出電流Ieは、 $1.0\mu\text{A}\pm 5\%$ であった。また、基板Aの素子では、素子電流Ifは、 $0.95\text{mA}\pm 4.5\%$ 、放出電流Ieは、 $0.92\mu\text{A}\pm 5.0\%$ となり、各素子間のばらつきは同程度であった。

【0171】また、同時に、アノード電極54に蛍光体を設置して、基板A, Bの素子から放出された電子ビームによる蛍光体上の輝点形状を測定したところ、輝点の大きさはほぼ等しかった。

【0172】また、基板A, Bの各素子における、導電性薄膜3の一部に形成された電子放出部2のFESEMによる観察結果を、図16に模式的に示す。図16に示したように、基板Aの本発明の素子では、4個の素子のいずれも、高い段差部を有する素子電極5部分の近傍に、略直線状の電子放出部2が形成されていた。また、基板Bの比較用の従来素子では、4個の素子のいずれも、素子電極間の中央部付近に、基板Aと同様略直線状の電子放出部2が形成されていた。

【0173】本実施例で示されるように、一方の素子電極部分の近傍にのみ略直線状の電子放出部2を有する本発明の表面伝導型電子放出素子は、電子放出特性のばらつき及び輝点形状の拡散性が同程度の従来素子と比較して、素子電極間距離を従来素子の $2\mu\text{m}$ に対して25倍の $50\mu\text{m}$ とすることができた。

【0174】【実施例4】本実施例では、実施例1の図1に示したような本発明の表面伝導型電子放出素子の多数個を単純マトリクス配置（カラー3色を含めて20行60列）した図6に示したような電子源を用いて、図7に示したような画像形成装置を作製した例を説明する。

【0175】電子源の一部の平面図を図17に示す。また、図中のA-A'断面図を図18に示す。但し、図6, 図7, 図17, 図18において同じ符号は同じ部材を示す。

【0176】ここで、1は基板、102はX方向配線（下配線とも呼ぶ）、103はY方向配線（上配線とも呼ぶ）、3は導電性薄膜、4, 5は素子電極、401

は層間絶縁層、402は素子電極4と下配線102との電気的接続のためのコンタクトホールである。

【0177】まず、本実施例の電子源の製造方法を、図19及び図20を用いて工程順に従って具体的に説明する。尚、以下の工程a～hは、図19の(a)～(d)及び図20の(e)～(h)に対応する。

【0178】工程a：清浄化した基板ガラス上に厚さ $0.5\mu\text{m}$ のシリコン酸化膜をスパッタ法で形成した基板1上に、真空蒸着により、厚さ 50\AA のCr、厚さ 6000\AA のAuを順次堆積した後、ホトレジスト（AZ1370 ヘキスト社製）をスピナーにより回転塗布、ペークした後、ホトマスク像を露光、現像して、下配線102のレジストパターンを形成し、Au/Cr堆積膜をウエットエッチングして、所望の形状の下配線102を形成した。

【0179】工程b：次に、厚さ $1.0\mu\text{m}$ のシリコン酸化膜からなる層間絶縁層401をRFスパッタ法により堆積した。

【0180】工程c：工程bで堆積したシリコン酸化膜20にコンタクトホール402を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層401をエッチングしてコンタクトホール402を形成した。エッチングはCF₄とH₂ガスを用いたRIE（Reactive Ion Etching）法によった。

【0181】工程d：その後、素子電極4, 5と素子電極間ギャップLとなるべきパターンをホトレジストで形成し、真空蒸着法により、厚さ 50\AA のTi、厚さ 400\AA のNiを順次堆積した。ホトレジストを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフした後、素子電極5を除く領域をフォトレジストで覆い、更にNiを 1000\AA 堆積して、素子電極5の厚みを 1400\AA とした。尚、素子電極間隔Lは $80\mu\text{m}$ 、素子電極の幅W1を $200\mu\text{m}$ で形成した。

【0182】工程e：素子電極4, 5の上に上配線103のホトレジストパターンを形成した後、厚さ 50\AA のTi、厚さ 5000\AA のAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線103を形成した。

【0183】工程f：素子電極間ギャップLおよびこの近傍に開口を有するマスクにより、膜厚 1000\AA のCr膜403を真空蒸着により堆積・パターニングし、その上に有機Pd（ccp-4230 奥野製薬（株）製）をノズルより噴霧して有機Pd薄膜を形成し、 300°C で12分間の加熱焼成処理をした。このようにして形成された主としてPdOよりなる微粒子からなる導電性薄膜3の膜厚は 70\AA 、シート抵抗値は $2\times 10^4\Omega/\square$ であった。

【0184】工程g：Cr膜403及び焼成後の導電性薄膜3を酸エッチャントによりエッチングして、所望の

25

パターン形状を有する導電性薄膜3を形成した。

【0185】工程h：全面にレジストを塗布し、マスクを用いて露光の後現像し、コンタクトホール402部分のみレジストを除去した。この後、真空蒸着により、厚さ5.0ÅのT1、厚さ5000ÅのAuを順次堆積し、リフトオフにより不要な部分を除去することによりコンタクトホール402を埋め込んだ。

【0186】以上の工程により、絶縁性基板1上に下配線102、層間絶縁層401、上配線103、素子電極4、5、導電性薄膜3等を形成し、未フォーミングの電子源を得た。

【0187】以上のようにして作製した未フォーミングの電子源を用いて画像形成装置を作製した。作製手順を図7及び図8を参照して以下に説明する。

【0188】まず、上記未フォーミングの電子源の基板1をリアプレート111に固定した後、基板1の5mm上方に、フェースプレート116（ガラス基板113の内面に画像形成部材であるところの蛍光膜114とメタルパック115が形成されて構成される。）を支持枠112を介し配置し、フェースプレート116、支持枠112、リアプレート111の接合部にフリットガラスを塗布し、大気中で400°Cで10分焼成することで封着した。また、リアプレート111への基板1の固定もフリットガラスで行った。

【0189】画像形成部材であるところの蛍光膜114は、カラーを実現するために、ストライプ形状（図8.(a)参照）の蛍光体とし、先にブラックストライプを形成し、その間隙部にスラリー法により各色蛍光体122を塗布して蛍光膜114を作製した。ブラックストライプの材料として通常よく用いられている黒鉛を主成分とする材料を用いた。

【0190】また、蛍光膜114の内面側にはメタルパック115を設けた。メタルパック115は、蛍光膜114の作製後、蛍光膜114の内面側表面の平滑化処理（通常、フィルミングと呼ばれる）を行い、その後、A1を真空蒸着することで作製した。

【0191】フェースプレート116には、更に蛍光膜114の導電性を高めるため、蛍光膜114の外側に透明電極（不図示）を設けた。

【0192】前述の封着を行う際、カラーの場合は各色蛍光体122と表面伝導型電子放出素子104とを対応させなくてはいけないため、十分な位置合わせを行った。

【0193】以上のようにして完成した外囲器118内の雰囲気を排気管（不図示）を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dx1ないしDxmとDy1ないしDynを通じ、表面伝導型電子放出素子104の素子電極4、5間に電圧を印加し、前述のフォーミング処理を行い、電子放出部2を形成した。

【0194】フォーミング処理には図3(b)に示した

10

26

電圧波形（但し、三角波ではなく矩形波）を用いた。本実施例ではT1を1m秒、T2を10m秒とし、約 1×10^{-5} Torrの真空雰囲気下で行った。

【0195】このようにして形成された電子放出部2は、パラジウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は50Åであった。

【0196】次に、図3(a)に示した電圧波形（但し、三角波ではなく矩形波）を用いて活性化処理を行った。本実施例ではT1を1m秒、T2を10m秒、波高14Vで、 2×10^{-5} Torrの真空度で、素子電流If、放出電流Ieを測定しながら行った。

【0197】この後、不図示の排気管を通じ、外囲器118内を $10^{-5.5}$ Torr程度の真空度とし、該排気管をガスバーナで熱することで溶着し、外囲器118の封止を行った。最後に、封止後の真空度を維持するため、高周波加熱法でゲッター処理を行った。

20

【0198】以上のようにして完成した表示パネル201（図7参照）において、容器外端子Dx1ないしDxmとDy1ないしDynを通じ、走査信号及び変調信号を不図示の信号発生手段により各々電子放出素子104に印加することにより電子放出させると共に、高圧端子Hvを通じてメタルパック115、透明電極（不図示）に5kV以上の高圧を印加して、電子ビームを加速し、蛍光膜114に衝突させ、励起・発光させることで画像表示を行った。その結果、ハイビジョンTV画像に対応する高精細な画像が、輝度むらが少なく表示された。

30

【0199】【実施例5】図21は、実施例4の表示パネル（ディスプレイパネル）201（図7参照）を、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した本発明の画像表示装置の一例を示す図である。

40

【0200】図中201はディスプレイパネル、1001はディスプレイパネルの駆動回路、1002はディスプレイコントローラ、1003はマルチブレクサ、1004はデコーダ、1005は入出力インターフェース回路、1006はCPU、1007は画像生成回路、1008、1009及び1010は画像メモリインターフェース回路、1011は画像入力インターフェース回路、1012及び1013はTV信号受信回路、1014は入力部である。

【0201】尚、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。

【0202】以下、画像信号の流れに沿って各部を説明してゆく。

50

【0203】先ず、TV信号受信回路1013は、例え

ば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。

【0204】受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの緒方式でも良い。また、これらよりさらに多数の走査線よりなるTV信号、例えばMUSE方式をはじめとするいわゆる高品位TVは、大面積化や大画素数化に適した前記ディスプレイパネル201の利点を生かすのに好適な信号源である。

【0205】TV信号受信回路1013で受信されたTV信号は、デコーダ1004に出力される。

【0206】画像TV信号受信回路1012は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路1013と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ1004に出力される。

【0207】画像入カインターフェース回路1011は、例えばTVカメラや画像読取スキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0208】画像メモリインターフェース回路1010は、ビデオテープレコーダー(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0209】画像メモリインターフェース回路1009は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0210】画像メモリーインターフェース回路1008は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ1004に出力される。

【0211】入出カインターフェース回路1005は、本表示装置と、外部のコンピュータ、コンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行なうのはもちろんのこと、場合によっては本表示装置の備えるCPU1006と外部との間で制御信号や数値データの入出力などを行なうことも可能である。

【0212】画像生成回路1007は、前記入出カインターフェース回路1005を介して外部から入力される画像データや文字・図形情報や、或いはCPU1006より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する

画像パターンが記憶されている読み出し専用メモリや、画像処理を行なうためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0213】本回路により生成された表示用画像データは、デコーダ1004に出力されるが、場合によっては前記入出カインターフェース回路1005を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0214】CPU1006は、主として本表示装置の動作制御や、表示画像の生成、選択、編集に関わる作業を行なう。

【0215】例えば、マルチブレクサ1003に制御信号を出力し、ディスプレイパネル201に表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ1002に対して制御信号を発生し、画面表示周波数や走査方法(例えばインターレースかノンインターレースか)や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路1007に対して画像データや文字・図形情報を直接出力したり、或いは前記入出カインターフェース回路1005を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0216】尚、CPU1006は、むろんこれ以外の目的の作業にも関わるものであっても良い。例えば、パソコン用コンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。或いは前述したように、入出カインターフェース回路1005を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行なっても良い。

【0217】入力部1014は、前記CPU1006に使用者が命令やプログラム、或いはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いることが可能である。

【0218】デコーダ1004は、前記1007ないし1013より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。尚、同図中に点線で示すように、デコーダ1004は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換する際に際して画像メモリを必要とするようなテレビ信号を扱うためである。

【0219】画像メモリを備えることにより、静止画の表示が容易になる。或いは前記画像生成回路1007及びCPU1006と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易になるという利点が得られる。

【0220】マルチブレクサ1003は前記CPU10

06より入力される制御信号に基づき表示画像を適宜選択するものである。即ち、マルチブレクサ1003はデコーダ1004から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路1001に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0221】ディスプレイパネルコントローラ1002は、前記CPU1006より入力される制御信号に基づき駆動回路1001の動作を制御するための回路である。

【0222】ディスプレイパネル201の基本的な動作に関わるものとして、例えばディスプレイパネル201の駆動用電源(不図示)の動作シーケンスを制御するための信号を駆動回路1001に対して出力する。ディスプレイパネル201の駆動方法に関わるものとして、例えば画面表示周波数や走査方法(例えばインターレースかノンインターレースか)を制御するための信号を駆動回路1001に対して出力する。また、場合によっては、表示画像の輝度、コントラスト、色調、シャープネスといった画質の調整に関わる制御信号を駆動回路1001に対して出力する場合もある。

【0223】駆動回路1001は、ディスプレイパネル201に印加する駆動信号を発生するための回路であり、前記マルチブレクサ1003から入力される画像信号と、前記ディスプレイパネルコントローラ1002より入力される制御信号に基づいて動作するものである。

【0224】以上、各部の機能を説明したが、図2.1に示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル201に表示することが可能である。即ち、テレビジョン放送をはじめとする各種の画像信号はデコーダ1004において逆変換された後、マルチブレクサ1003において適宜選択され、駆動回路1001に入力される。一方、ディスプレイコントローラ1002は、表示する画像信号に応じて駆動回路1001の動作を制御するための制御信号を発生する。駆動回路1001は、上記画像信号と制御信号に基づいてディスプレイパネル201に駆動信号を印加する。これにより、ディスプレイパネル201において画像が表示される。これらの一連の動作は、CPU1006により統括的に制御される。

【0225】本画像形成装置においては、前記デコーダ1004に内蔵する画像メモリや、画像生成回路1007及びCPU1006が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ替え、はめ込みなどをはじめとする画像

編集を行なうことも可能である。また、本実施例の説明では、特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

【0226】従って、本画像形成装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピューターの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用或いは民生用として極めて応用範囲が広い。

【0227】尚、図2.1は、表面伝導型電子放出素子を電子ビーム源とする表示パネルを用いた画像形成装置とする場合の構成の一例を示したに過ぎず、本発明の画像形成装置がこれのみに限定されるものでないことは言うまでもない。

【0228】例えば図2.1の構成要素の内、使用目的上必要のない機能に関わる回路は省いても差し支えない。また、これとは逆に、使用目的によっては更に構成要素を追加しても良い。例えば、本画像形成装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0229】本画像形成装置においては、とりわけ本発明によるディスプレイパネル201の薄型化が容易なため、表示装置の奥行きを小さくすることができる。それに加えて、大画面化が容易で輝度が高く視野角特性にも優れるため、臨場感あふれ迫力に富んだ画像を視認性良く表示することが可能である。

【0230】

【発明の効果】以上説明したように、本発明第一の製造方法によれば、一对の素子電極における各素子電極部分の段差部の高さを異ならすことにより、導電性薄膜の構成元素を含む溶液をノズルより噴霧して導電性薄膜を形成する際に、高い段差部を有する側の素子電極部分の該段差部近傍、好ましくは基板面側近傍に、ステップカバレージ不良の領域を形成することができるため、フォーミング処理により上記ステップカバレージ不良の領域に優先的に亀裂を発生させて電子放出部を形成することができる。

【0231】また、本発明第二の製造方法によれば、一对の素子電極間に電位差を与えつつ導電性薄膜の構成元素を含む溶液をノズルより噴霧して導電性薄膜を形成する際に、高電位側の素子電極部分の段差部近傍、好ましくは基板面側近傍に、ステップカバレージ不良の領域を形成することができるため、フォーミング処理により上記ステップカバレージ不良の領域に優先的に亀裂を発生させて電子放出部を形成することができる。

【0232】このため、素子電極間距離を長くした場合においても、素子電極部分の形状に沿って電子放出部を形成できることから、従来素子のような大きな蛇行がな

くなり、略直線状の電子放出部となり、多數の素子を作製した場合において、電子放出部の位置及び形状等の再現性が高く、各素子間の電子放出特性のばらつきが減少した。

【0233】また、導電性薄膜の構成元素を含む溶液をノズルより噴射する際に、ノズルと基板間に電位差を与えることにより、基板及び素子電極と導電性薄膜との密着性を高めることができ、より安定性の高い素子を得ることができる。

【0234】また、特に大面積に渡って表面伝導型電子放出素子を多數配列した電子源を製造する際に大判の基板を高速回転させる必要がなく、簡易な装置で、安全に且つ安価に製造可能となった。

【0235】更に、上記大面積電子源においては、各表面伝導型電子放出素子の電子放出特性の均一化が実現され、上記電子源を用いた画像形成装置においては、鋤度むら等の画像品位の低下及び電子放出部の蛇行による電子ビームの広がりの問題も解決され、画像品位が大幅に向上した。

【0236】特に、本発明の表面伝導型電子放出素子の駆動時に一对の素子電極に与える電位を、好ましくは、電子放出部が近傍に配設された側の素子電極を低電位とすることで、電子放出部から出射された電子ビームの収束性を高めることができる。このため、上記駆動時の電位関係を、前記電子源及び画像形成装置に適用することで、画像形成部材上に形成される発光輝点が、より一層高精細になった。

【0237】以上のように、本発明によれば、カラー画像に対応可能で、高精細かつ表示品位の高い大面積フラットディスプレーが、実現される。

【図面の簡単な説明】

【図1】本発明の基本的な表面伝導型電子放出素子の一構成例を示す図である。

【図2】図1の表面伝導型電子放出素子の製造方法の一例を説明するための断面図である。

【図3】フォーミング処理に用いる電圧波形の一例である。

【図4】表面伝導型電子放出素子の電子放出特性を測定するための測定評価系の概略図である。

【図5】本発明の表面伝導型電子放出素子の、放出電流 I_e 及び素子電流 I_f と、素子電圧 V_f の関係の典型的な例を示す図である。

【図6】単純マトリクス配置の電子源の概略図である。

【図7】単純マトリクス配置の電子源を備えた表示パネルの概略構成を示す部分切り欠き斜視図である。

【図8】表示パネルに用いる蛍光膜の構成例を示す図である。

【図9】NTSC方式のテレビ信号に応じて画像表示を行う画像形成装置の駆動回路の一例を示すブロック図である。

【図10】梯型配置の電子源の概略図である。

【図11】梯型配置の電子源を備えた表示パネルの概略構成を示す部分切り欠き斜視図である。

【図12】実施例1にて示す表面伝導型電子放出素子の製造工程を説明するための断面図である。

【図13】実施例1にて示す表面伝導型電子放出素子の電子放出部の形状を説明するための平面図である。

【図14】実施例2にて示す表面伝導型電子放出素子の製造工程を説明するための断面図である。

【図15】実施例3にて示す表面伝導型電子放出素子の製造工程を説明するための断面図である。

【図16】実施例3にて示す表面伝導型電子放出素子の電子放出部の形状を説明するための平面図である。

【図17】実施例4にて示す単純マトリクス配置の電子源の部分平面図である。

【図18】図17の電子源の部分断面図である。

【図19】図17の電子源の製造工程を説明するための断面図である。

【図20】図17の電子源の製造工程を説明するための断面図である。

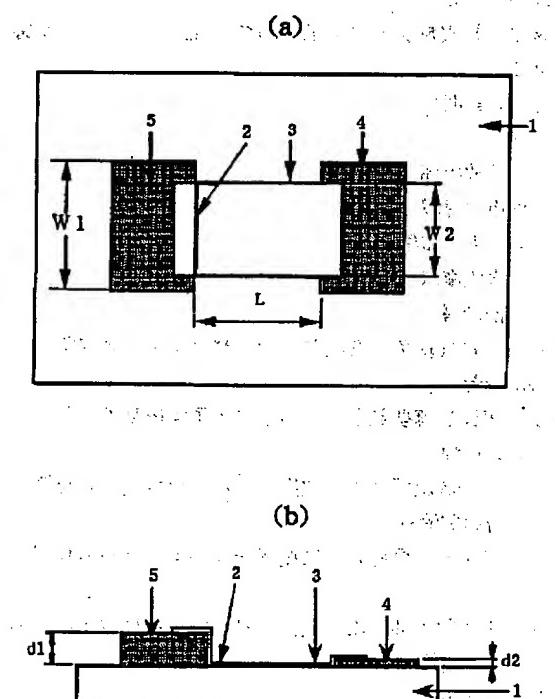
【図21】実施例5にて示す画像形成装置のブロック図である。

【符号の説明】

- 1 基板
- 2 電子放出部
- 3 導電性薄膜
- 4, 5 素子電極
- 11 直流電源
- 21 絶縁層
- 30 50 導電性薄膜3を流れる素子電流 I_f を測定するための電流計
- 51 表面伝導型電子放出素子に素子電圧 V_f を印加するための電源
- 52 電子放出部2より放出される放出電流 I_e を測定するための電流計
- 53 アノード電極54に電圧を印加するための高圧電源
- 54 電子放出部2より放出される電子を捕捉するためのアノード電極
- 55 真空装置
- 56 排気ポンプ
- 102 X方向配線
- 103 Y方向配線
- 104 表面伝導型電子放出素子
- 105 結線
- 111 リアプレート
- 112 支持枠
- 113 ガラス基板
- 114 蛍光膜
- 50 115 メタルパック

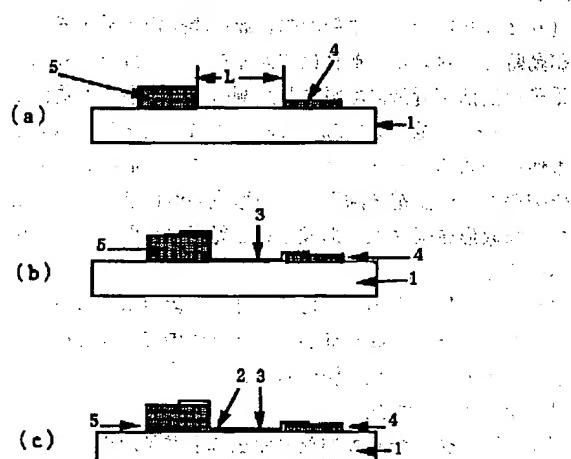
- 116 フェースプレート
Hv 高圧端子
118 外囲器
121 黒色導電材
122 荧光体
201 表示パネル
202 走査回路
203 制御回路
204 シフトレジスタ
205 ラインメモリ
206 同期信号分離回路
207 變調信号発生器
Va 直流電圧源
Vx 直流電圧源
301 表示パネル
302 グリッド電極
303 電子が通過するための開口

【図1】

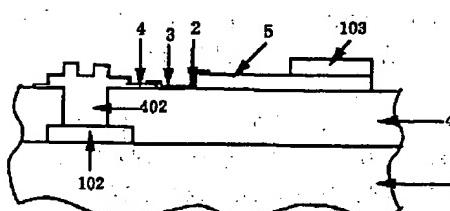


- 304 表面伝導型電子放出素子 10, 4を配線する共通配線
401 層間絶縁膜
402 コンタクトホール
403 Cr膜
1001 ディスプレイパネル 201 の駆動回路
1002 ディスプレイコントローラ
1003 マルチプレクサ
1004 デコーダ
1005 入出力インターフェース回路
1006 CPU
1007 画像生成回路
1008, 1009, 1010 画像メモリインターフェース回路
1011 画像入力インターフェース回路
1012, 1013 TV信号受信回路
1014 入力部

【図2】



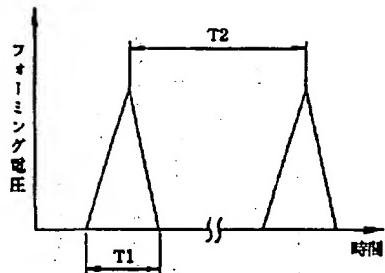
【図18】



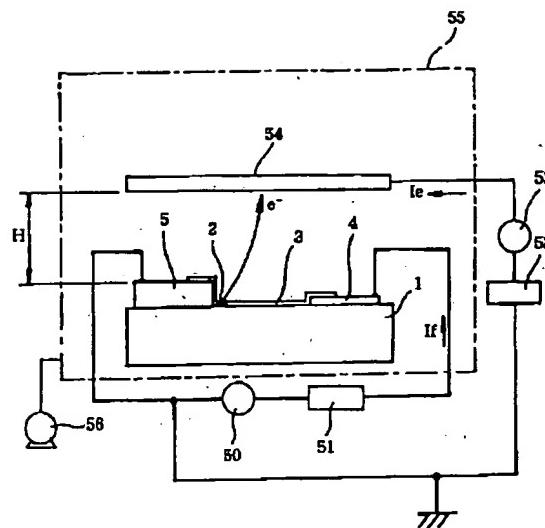
A-A' 断面図

【図3】

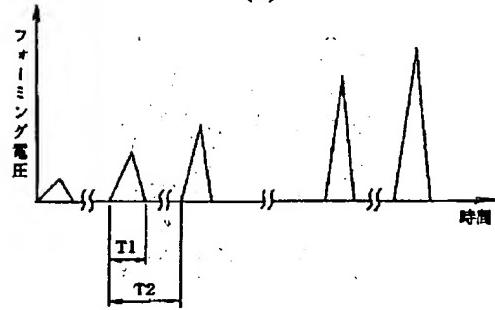
(a)



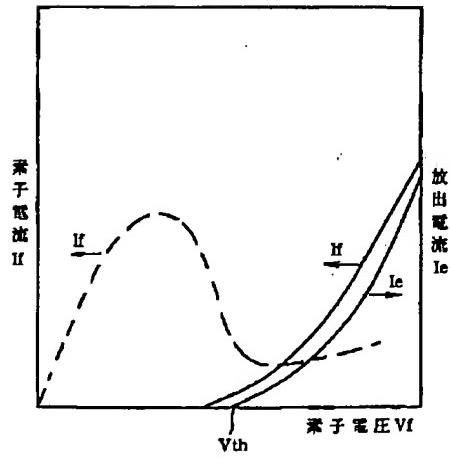
【図4】



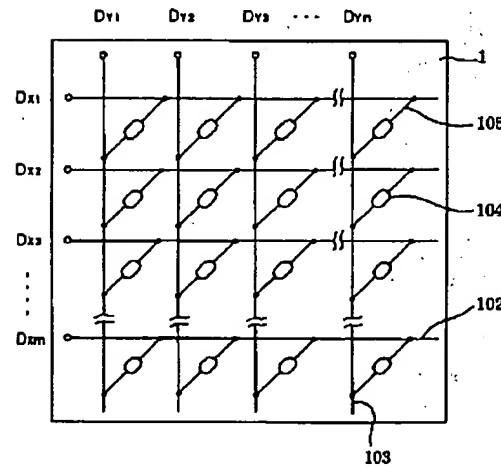
(b)



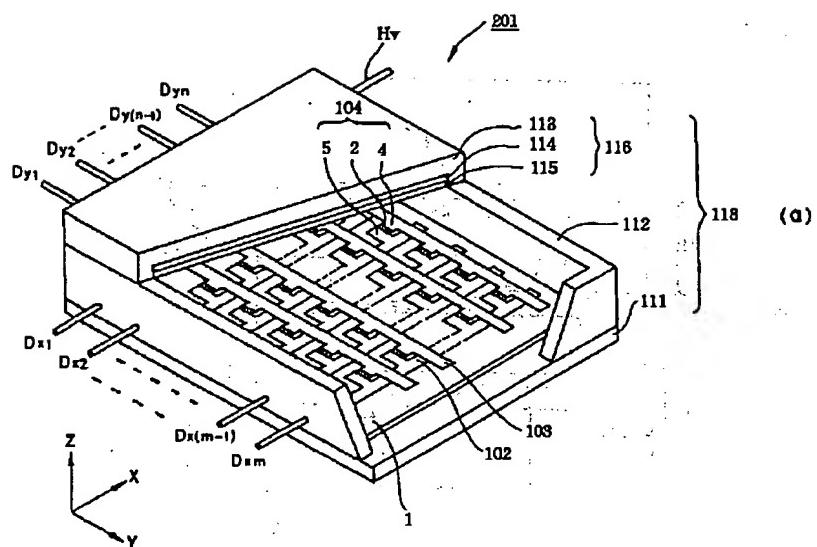
【図5】



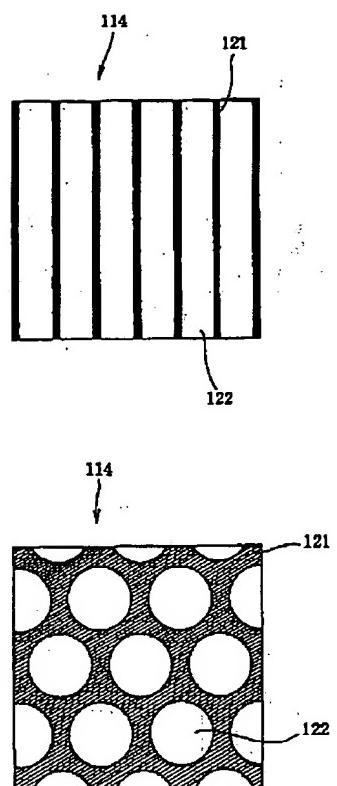
【図6】



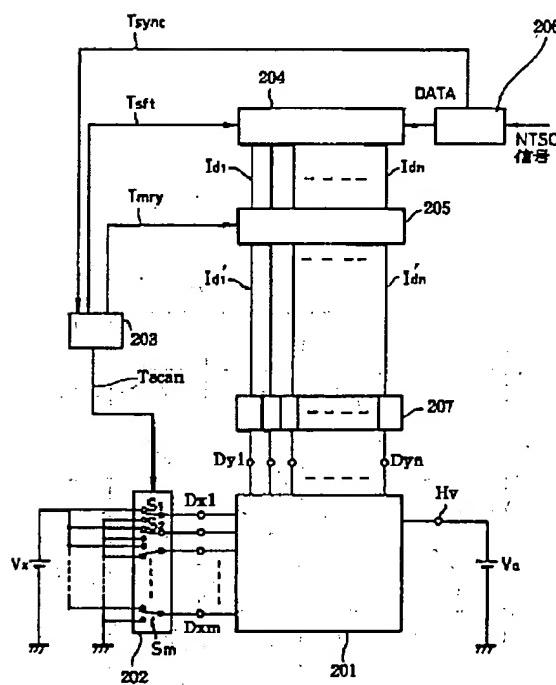
【図7】



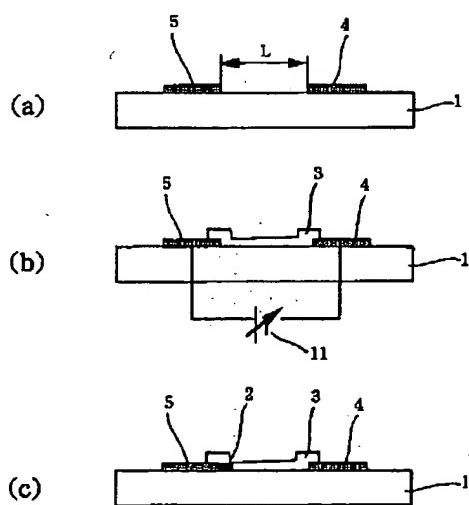
【図8】



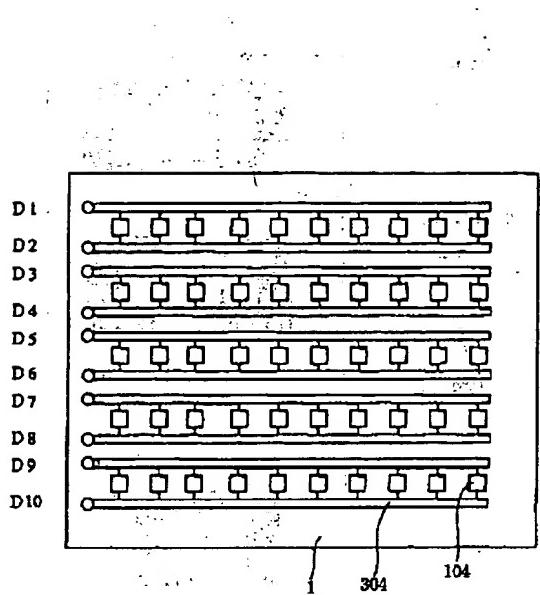
【図9】



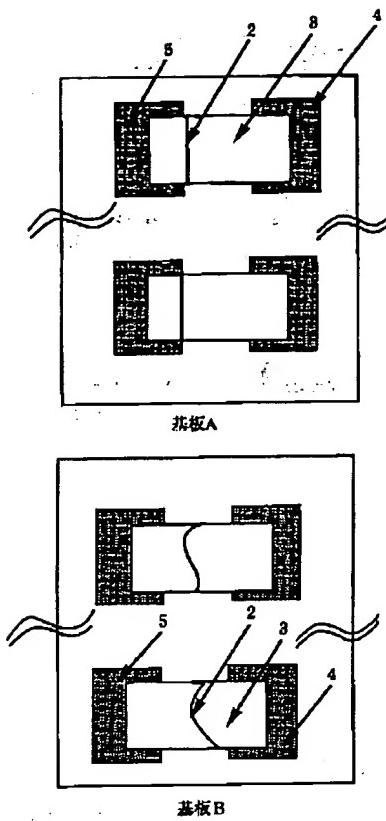
【図14】



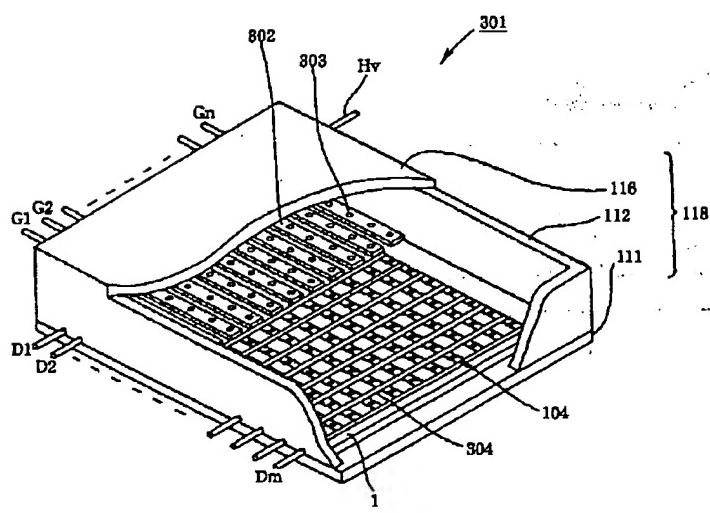
【図10】



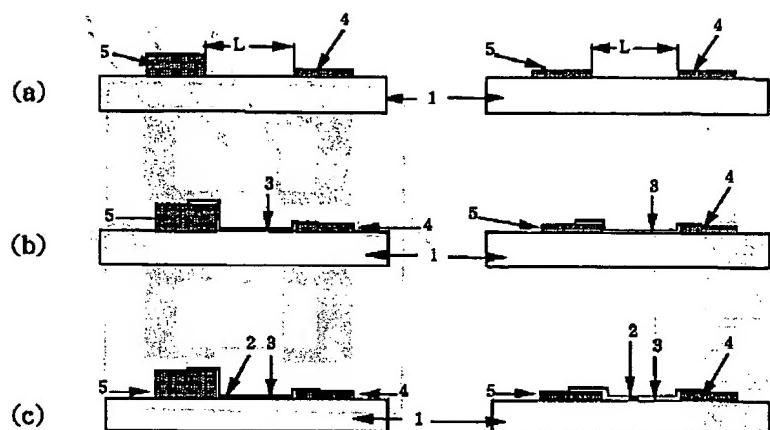
【図13】



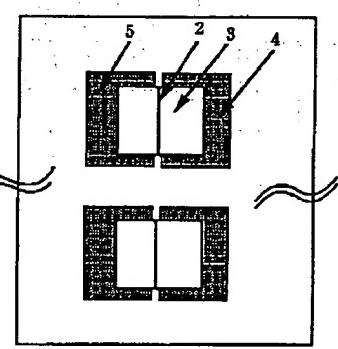
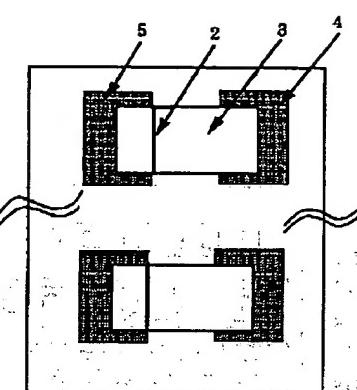
【図11】



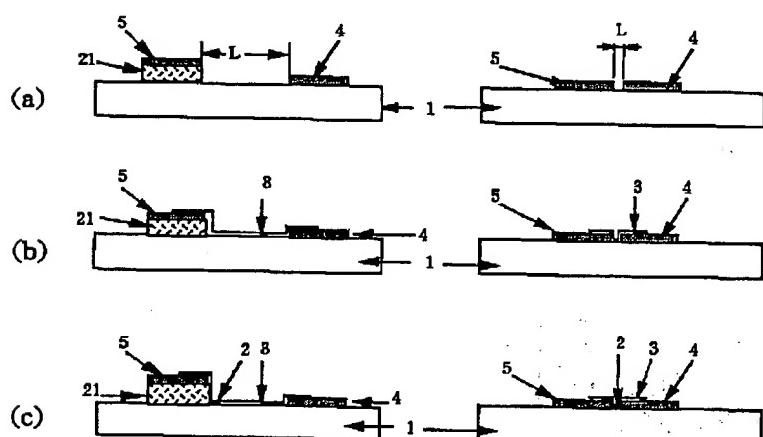
【図12】



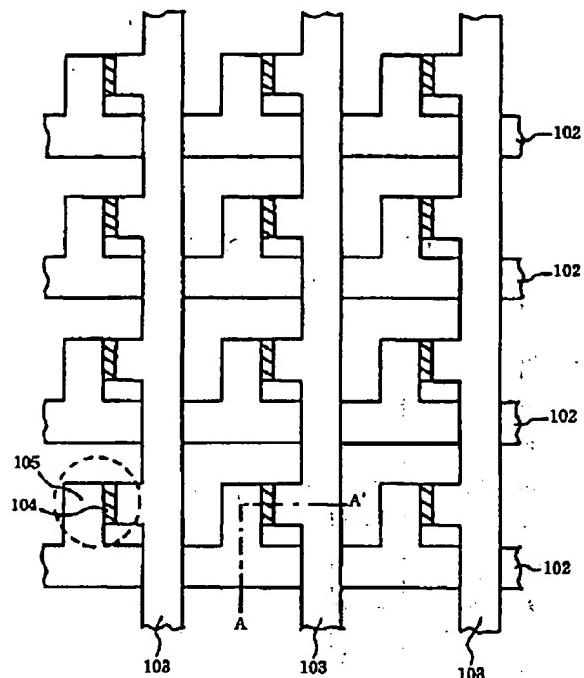
【図16】



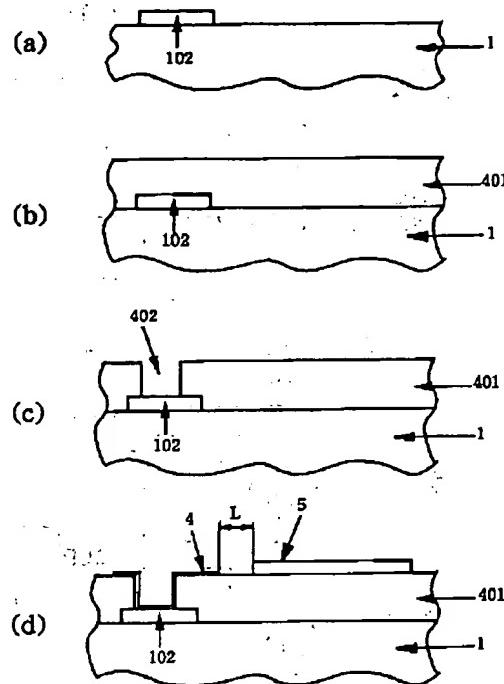
【図15】



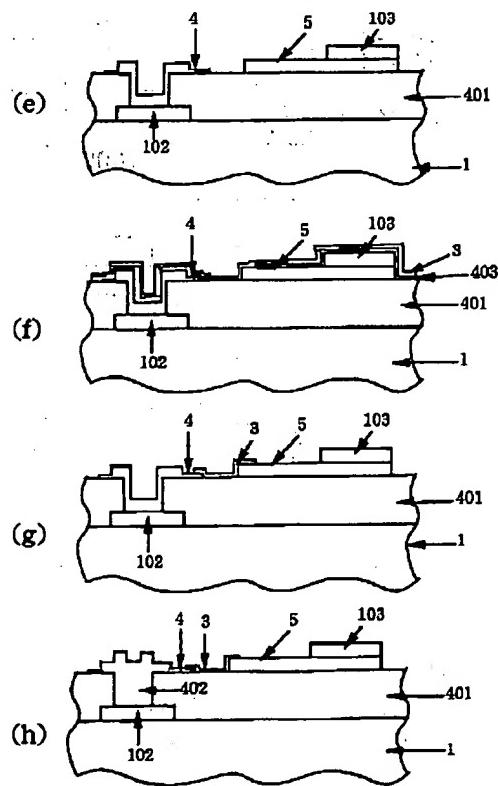
【図17】



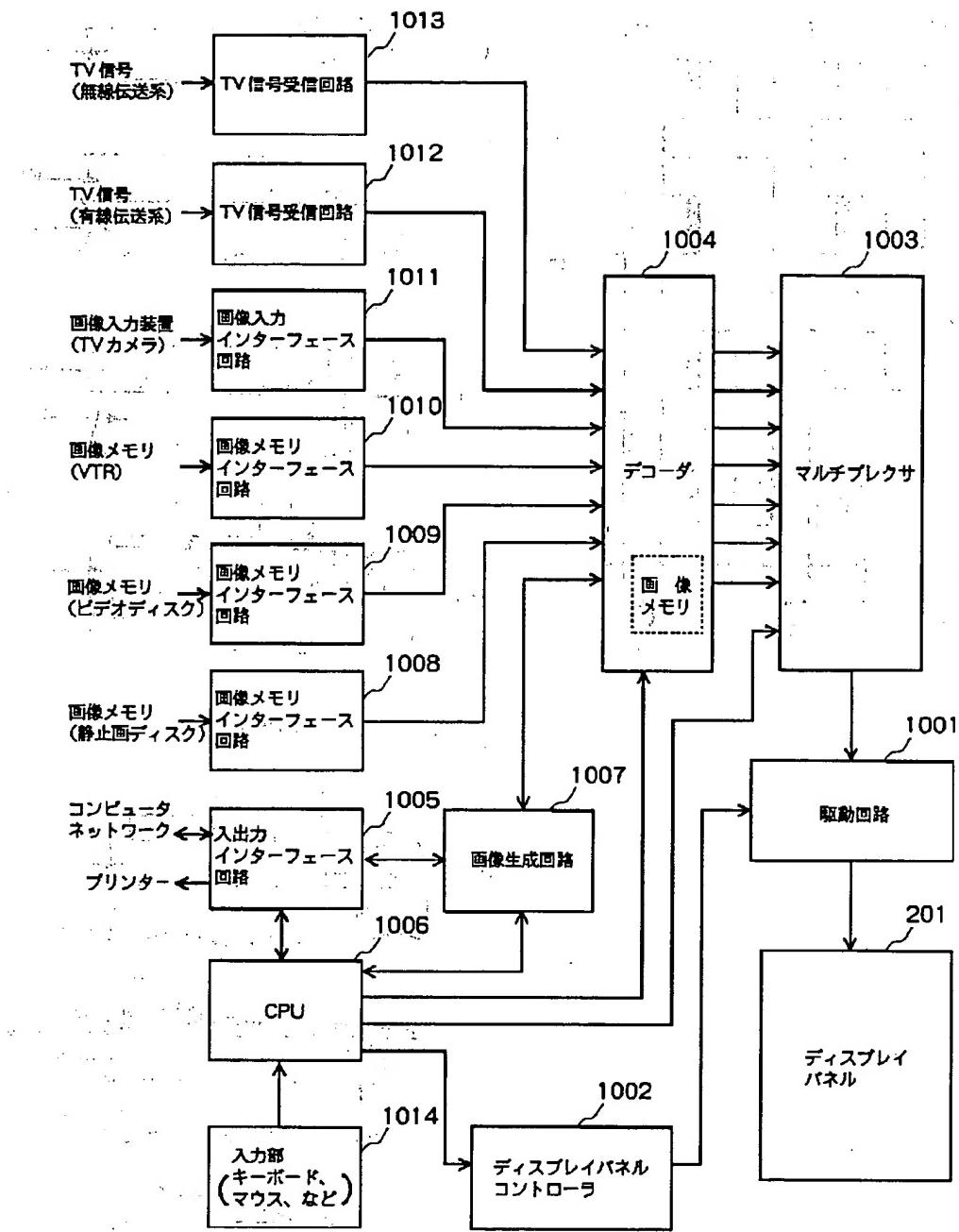
【図19】



【図20】



【図21】



フロントページの続き。

(72)発明者 塚本 健夫

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内